

CM32M4xxR芯片数据手册

CM32M4xxR系列芯片采用 32 bit RISC-V N308内核，最高工作主频144MHz，支持浮点运算和DSP指令，集成多达512KB Flash、144KB SRAM、4x12bit 5Msps ADC、4xOPAMP、7xCOMP、2x1Msps 12bit DAC，支持多达24通道电容式触摸按键，集成多路U(S)ART、I2C、SPI、QSPI、CAN通信接口，内置密码算法硬件加速引擎

关键特性

- 内核 CPU
 - 32 位 RISC-V 内核，单周期硬件乘法指令，支持浮点运算、DSP 指令、MPU、TEE
 - 内置 8KB 指令 Cache 缓存，支持 Flash 加速单元执行程序 0 等待
 - 最高主频 144MHz
- 加密存储器
 - 高达 512KByte 片内 Flash，支持加密存储、多用户分区管理及数据保护，支持硬件 ECC 校验，10 万次擦写次数，10 年数据保持
 - 144KByte 片内 SRAM（包含 16KByte Retention RAM），Retention RAM 支持硬件奇偶校验
- 时钟
 - HSE：4MHz~32MHz 外部高速晶体
 - LSE：32.768KHz 外部低速晶体
 - HSI：内部高速 RC OSC 8MHz
 - LSI：内部低速 RC OSC 40KHz
 - 内置高速 PLL
 - 支持 1 路时钟输出，可配置系统时钟、HSE、HSI 或 PLL 后分频输出
- 复位
 - 支持上电/掉电/外部引脚复位
 - 支持可编程的低电压检测及复位
 - 支持看门狗复位
- 通信接口
 - 7 个 U(S)ART 接口，最高速率达 4.5 Mbps，其中 3 个 USART 接口（支持 1xISO7816，1xIrDA，LIN），4 个 UART 接口
 - 3 个 SPI 接口，速率高达 36 MHz，其中 2 个支持 I2S
 - 1 个 QSPI 接口，速率高达 144 Mbps
 - 4 个 I2C 接口，速率高达 1 MHz，主从模式可配，从机模式下支持双地址响应
 - 2 个 CAN 2.0B 总线接口
 - XFMC 接口，可扩展 SRAM，PSRAM，NOR/NAND Flash 存储器，TFT LCD 显示

- 高性能模拟接口
 - 4 个 12bit 5Msps 高速 ADC，可配置为 12/10/8/6bit 模式，6bit 模式下采样率高达 9Msps，多达 40 路外部单端输入通道，支持差分模式
 - 4 个轨到轨运算放大器，内置最大 32 倍可编程增益放大
 - 多达 7 个高速模拟比较器，内置 64 级可调比较基准
 - 多达 24 通道电容式触摸按键，支持低功耗状态下唤醒
 - 2 个 12bit DAC，采样率 1Msps
 - 支持外部输入独立参考电压源
 - 所有模拟接口支持 1.8~3.6V 全电压工作
- 最大支持 97 个支持复用功能的 GPIOs，最大翻转速度 50MHz，大多数 GPIO 支持 5V 耐压。
- 2 个高速 DMA 控制器，每个控制器支持 8 通道，通道源地址及目的地址任意可配
- RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒，支持内外部时钟校准
- 定时计数器
 - 2 个 16bit 高级定时计数器，支持输入捕获、输出比较、PWM 输出以及正交编码输入等功能，最高控制精度 6.9nS。每个定时器有 4 个独立的通道，其中 3 个通道支持 6 路互补 PWM 输出
 - 4 个 16bit 通用定时计数器，每个定时器有 4 个独立通道，支持输入捕获/输出比较/PWM 输出/单脉冲输出
 - 2 个 16bit 基础定时计数器
 - 1x 24bit SysTick
 - 1x 7bit 窗口看门狗(WWDG)
 - 1x 12bit 独立看门狗(IWDG)
- 编程方式
 - 支持 2-wire/4-wire JTAG 在线调试接口
 - 支持 UART Bootloader
- 安全特性
 - 内置密码算法硬件加速引擎
 - 支持 AES、DES、SHA、SM3、SM4、MD5 算法
 - Flash 存储加密
 - 多用户分区管理 (MMU)
 - TRNG 真随机数发生器
 - CRC16/32 运算
 - 支持写保护 (WRP)，多种读保护 (RDP) 等级 (L0/L1/L2)

- 支持安全启动，程序加密下载，安全更新
- 支持时钟失效监测，防拆监测
- 96 位 UID 及 128 位 UCID
- 工作条件
 - 工作电压范围：1.8V~3.6V
 - 工作温度范围：-40℃ ~ 105℃
 - ESD：±4KV（HBM 模型），±1KV（CDM 模型）
- 封装
 - LQFP64(10mm x 10mm)
 - LQFP80(12mm x 12mm)
 - LQFP100(14mm x 14mm)
 - LQFP128(14mm x 14mm)

- 订购型号

系列	型号

目录

1	产品简介	6
1.1	命名规则	7
1.2	器件一览	7
2	功能简介	9
2.1	处理器内核	9
2.2	存储器	9
2.2.1	嵌入式闪存存储器	10
2.2.2	嵌入式SRAM	10
2.2.3	改进型内核中断控制器(ECLIC)	10
2.3	外部中断/事件控制器(EXTI)	10
2.4	时钟系统	10
2.5	启动模式	11
2.6	供电方案	11
2.7	可编程电压监测器	12
2.8	电压调压器	12
2.9	低功耗模式	12
2.10	直接存储器存取(DMA)	13
2.11	实时时钟(RTC)	13
2.12	定时器和看门狗	13
2.12.1	基本定时器-TIM6和TIM7	14
2.12.2	通用定时器(TIMx)	14
2.12.3	高级控制定时器(TIM1和TIM8)	14
2.12.4	系统时基定时器(Systick)	15
2.12.5	看门狗定时器(WDG)	16
2.13	I2C总线接口	16
2.14	通用同步/异步收发器(USART)	17
2.15	串行外设接口(SPI)	19
2.16	串行音频接口(I2S)	20
2.17	四线外设接口(QSPI)	21
2.18	扩展存储控制器接口(XFMC)	21
2.19	控制器区域网络(CAN)	22
2.20	通用输入输出接口(GPIO)	23
2.21	模拟/数字转换器(ADC)	24
2.22	数字/模拟转换器(DAC)	25
2.23	运算放大器(OPAMP)	25
2.24	模拟比较器(COMP)	26
2.25	温度传感器(TS)	26
2.26	触摸传感器控制(TSC)	26
2.27	循环冗余校验计算单元(CRC)	27
2.28	算法硬件加速引擎(SAC)	27
2.29	唯一设备序列号(UID)	28
2.30	JTAG调试口	28
3	引脚定义和描述	29
3.1	封装示意图	29
3.1.1	LQFP64	29

3.1.2	LQFP80	30
3.1.3	LQFP100	31
3.1.4	LQFP128	32
3.2	引脚复用定义	33
4	电气特性	42
4.1	测试条件	42
4.1.1	最小和最大数值	42
4.1.2	典型数值	42
4.1.3	典型曲线	42
4.1.4	负载电容	42
4.1.5	引脚输入电压	42
4.1.6	供电方案	44
4.1.7	电流消耗测量	45
4.2	绝对最大额定值	45
4.3	工作条件	46
4.3.1	通用工作条件	46
4.3.2	上电和掉电时的工作条件	46
4.3.3	内嵌复位和电源控制模块特性	46
4.3.4	内置的参考电压	47
4.3.5	供电电流特性	48
4.3.6	外部时钟源特性	50
4.3.7	内部时钟源特性	54
4.3.8	PLL特性	55
4.3.9	FLASH存储器特性	55
4.3.10	XFMC特性	56
4.3.11	EMC特性	68
4.3.12	绝对最大值(电气敏感性)	69
4.3.13	I/O端口特性	69
4.3.14	NRST引脚特性	72
4.3.15	TIM定时器特性	73
4.3.16	I2C接口特性	73
4.3.17	SPI/I2S接口特性	74
4.3.18	QSPI特性	79
4.3.19	控制器局域网络(CAN)接口特性	80
4.3.20	12位模数转换器(ADC)电气参数	80
4.3.21	12位数模转换器(DAC)电气参数	83
4.3.22	运算放大器(OPAMP)电气参数	84
4.3.23	比较器(COMP)电气参数	85
4.3.24	温度传感器(TS)特性	86
5	封装尺寸	87
5.1	LQFP64	87
5.2	LQFP80	88
5.3	LQFP100	89
5.4	LQFP128	90
6	文档版本历史	91
7	声明	92

表目录

表1-1 CM32M4xxR系列资源配置	7
表2-1 定时器功能比较	13
表3-1 管脚定义	33
表3-2 XFMC引脚定义	40
表4-1 电压特性	45
表4-2 电流特性	45
表4-3 温度特性	46
表4-4 通用工作条件	46
表4-5 上电和掉电时的工作条件	46
表4-6 内嵌复位和电源控制模块特性	46
表4-7 内置的参照电压	48
表4-8 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行	48
表4-9 睡眠模式下的最大电流消耗，代码运行在FLASH或RAM中	48
表4-10 停机和待机模式下的典型和最大电流消耗	49
表4-11 运行模式下的典型电流消耗，数据处理代码从内部FLASH中运行	50
表4-12 睡眠模式下的典型电流消耗，数据处理代码从内部FLASH或RAM中运行	50
表4-13 高速外部用户时钟特性	50
表4-14 低速外部用户时钟特性	51
表4-15 HSE 4~32MHz振荡器特性 ⁽¹⁾⁽²⁾	52
表4-16 LSE振荡器特性($F_{LSE}=32.768\text{KHz}$) ⁽¹⁾	53
表4-17 HSI振荡器特性 ⁽¹⁾⁽²⁾	54
表4-18 LSI振荡器特性 ⁽¹⁾	54
表4-19 低功耗模式的唤醒时间	55
表4-20 PLL特性	55
表4-21 闪存存储器特性	55
表4-22 闪存存储器寿命和数据保存期限	56
表4-23 异步非总线复用的SRAM/PSRAM/NOR读操作时序 ⁽¹⁾⁽²⁾	57
表4-24 异步非总线复用的SRAM/PSRAM/NOR写操作时序 ⁽¹⁾⁽²⁾	58
表4-25 异步总线复用的PSRAM/NOR读操作时序 ⁽¹⁾⁽²⁾	58
表4-26 异步总线复用的PSRAM/NOR写操作时序 ⁽¹⁾⁽²⁾	59
表4-27 同步总线复用NOR/PSRAM读时序 ⁽¹⁾⁽²⁾	61
表4-28 同步总线复用PSRAM写时序 ⁽¹⁾⁽²⁾	62
表4-29 同步非总线复用NOR/PSRAM读时序 ⁽¹⁾⁽²⁾	63
表4-30 同步非总线复用PSRAM写时序 ⁽¹⁾⁽²⁾	64
表4-31 NAND闪存读写周期的时序特性 ⁽¹⁾	67
表4-32 EMS特性	68
表4-33 EMI特性	69
表4-34 ESD绝对最大值	69
表4-35 电气敏感性	69
表4-36 I/O静态特性	69
表4-37 输出电压特性	70
表4-38 输入输出交流特性 ⁽¹⁾	71
表4-39 NRST引脚特性	72
表4-40 TIMX ⁽¹⁾ 特性	73
表4-41 I2C接口特性	73
表4-42 SPI1特性 ⁽¹⁾	74
表4-43 SPI2特性 ⁽¹⁾	75
表4-44 I2S特性 ⁽¹⁾	77

表4-45 QSPI在SDR模式下的特性	79
表4-46 QSPI在DDR模式下的特性	80
表4-47 ADC特性	80
表4-48 ADC精度 – 局限的测试条件 ⁽¹⁾⁽²⁾	81
表4-49 DAC特性	83
表4-50 OPAMP特性	84
表4-51 COMP特性	85
表4-52 温度传感器特性	86

图目录

图1-1 CM32M4xxR系列框图	6
图1-2 CM32M4xxR系列订货代码信息图示	7
图2-1 存储器映射图	9
图2-2 时钟树	11
图3-1 CM32M4xxR系列LQFP64引脚分布	29
图3-2 CM32M4xxR系列LQFP80引脚分布	30
图3-3 CM32M4xxR系列LQFP100引脚分布	31
图3-4 CM32M4xxR系列LQFP128引脚分布	32
图4-1 引脚的负载条件	42
图4-2 引脚输入电压	43
图4-3 供电方案	44
图4-4 电流消耗测量方案	45
图4-5 外部高速时钟源的交流时序图	51
图4-6 外部低速时钟源的交流时序图	52
图4-7 使用8MHz晶体的典型应用	53
图4-8 使用32.768kHz晶体的典型应用	54
图4-9 异步非总线复用的SRAM/PSRAM/NOR读操作波形	56
图4-10 异步非总线复用的SRAM/PSRAM/NOR写操作波形	57
图4-11 异步总线复用PSRAM/NOR读操作波形	58
图4-12 异步总线复用PSRAM/NOR写操作波形	59
图4-13 同步总线复用NOR/PSRAM读时序	61
图4-14 同步总线复用PSRAM写时序	62
图4-15 同步非总线复用NOR/PSRAM读时序	63
图4-16 同步非总线复用PSRAM写时序	64
图4-17 NAND控制器读操作波形	66
图4-18 NAND控制器写操作波形	66
图4-19 NAND控制器在通用存储空间的读操作波形	67
图4-20 NAND控制器在通用存储空间的写操作波形	67
图4-21 输入输出交流特性定义	72
图4-22 建议的NRST引脚保护	72
图4-23 I2C总线交流波形和测量电路 ⁽¹⁾	74
图4-24 SPI时序图 – 从模式和CPHA=0	76
图4-25 SPI时序图 – 从模式和CPHA=1 ⁽¹⁾	76
图4-26 SPI时序图 – 主模式 ⁽¹⁾	77
图4-27 I2S从模式时序图(飞利浦协议) ⁽¹⁾	78
图4-28 I2S主模式时序图(飞利浦协议) ⁽¹⁾	79
图4-29 QSPI在SDR模式下的时序	79
图4-30 QSPI在DDR模式下的时序	80
图4-31 ADC精度特性	81
图4-32 使用ADC典型的连接图	82
图4-33 供电电源和参考电源去藕线路(V_{REF+} 未与 V_{DDA} 相连)	82
图4-34 供电电源和参考电源去藕线路(V_{REF+} 与 V_{DDA} 相连)	83
图5-1 LQFP64封装尺寸	87
图5-2 LQFP80封装尺寸	88
图5-3 LQFP100封装尺寸	89
图5-4 LQFP128封装尺寸	90

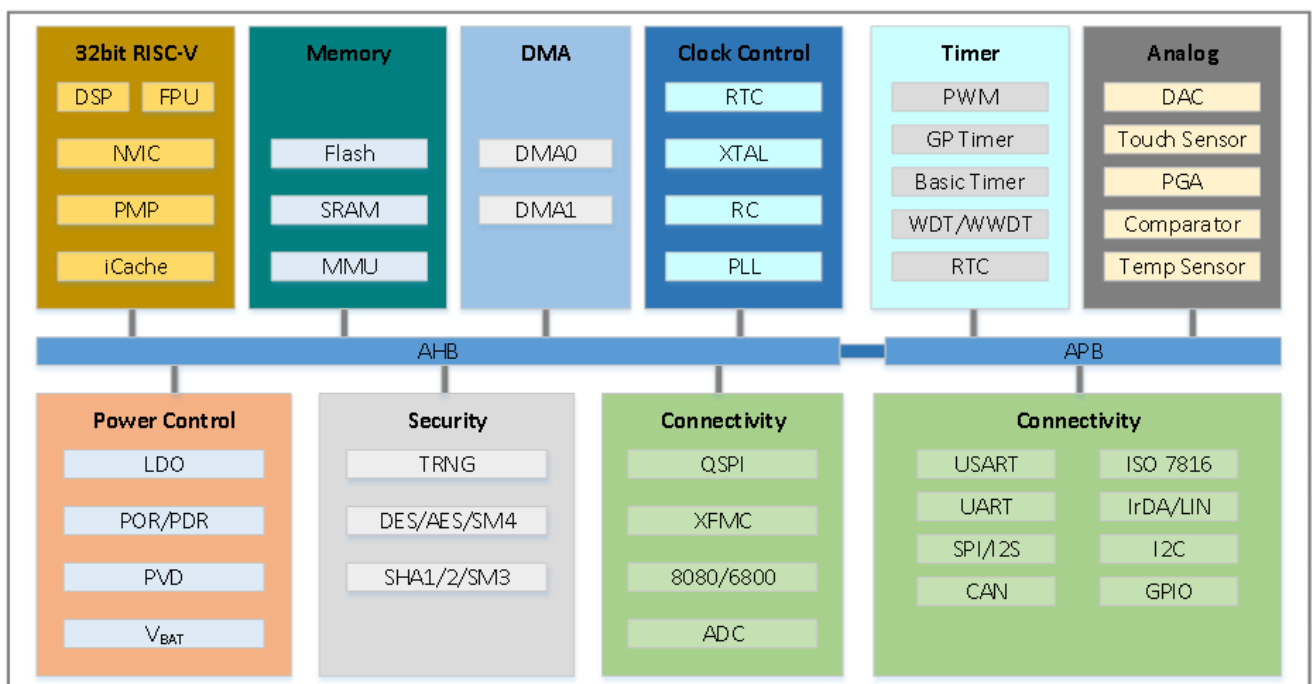
1 产品简介

CM32M4xxR系列微控制器产品采用高性能32位RISC-V N308内核，集成浮点运算单元（FPU）和数字信号处理（DSP），支持并行计算指令。最高工作主频144MHz，集成高达512KB加密存储Flash并支持多用户分区管理，最大144KB SRAM，且可通过XFMC接口外扩FLASH和SRAM。内置一个内部高速AHB总线，二个低速外设时钟总线APB及总线矩阵，最多支持97个通用I/O，提供丰富的高性能模拟接口，包括4个12位5MSPS ADC，最多支持40个外部输入通道、2个1MSPS 12位DAC、4路独立的轨对轨运算放大器、最多7个高速比较器、多达24通道电容式触摸按键输入，同时提供多种数字通信接口，包括7个U(S)ART、4个I2C、3个SPI、2个I2S、1个QSPI、2个CAN 2.0B，内置密码算法硬件加速引擎，支持多种国际及国密算法硬件加速。

CM32M4xxR系列产品可稳定工作于-40℃至+105℃的温度范围，供电电压1.8V至3.6V，提供多种功耗模式供用户选择，符合低功耗应用的要求。该系列产品提供包括从64脚至128脚的4种不同封装形式，根据不同的封装形式，器件中的外设配置不尽相同。这些丰富的外设配置，使得CM32M4xxR系列微控制器适合于工业控制，电机驱动控制，打印机，充电桩，网络能源，人机交互界面，仪器仪表，PLC等多种应用场合。

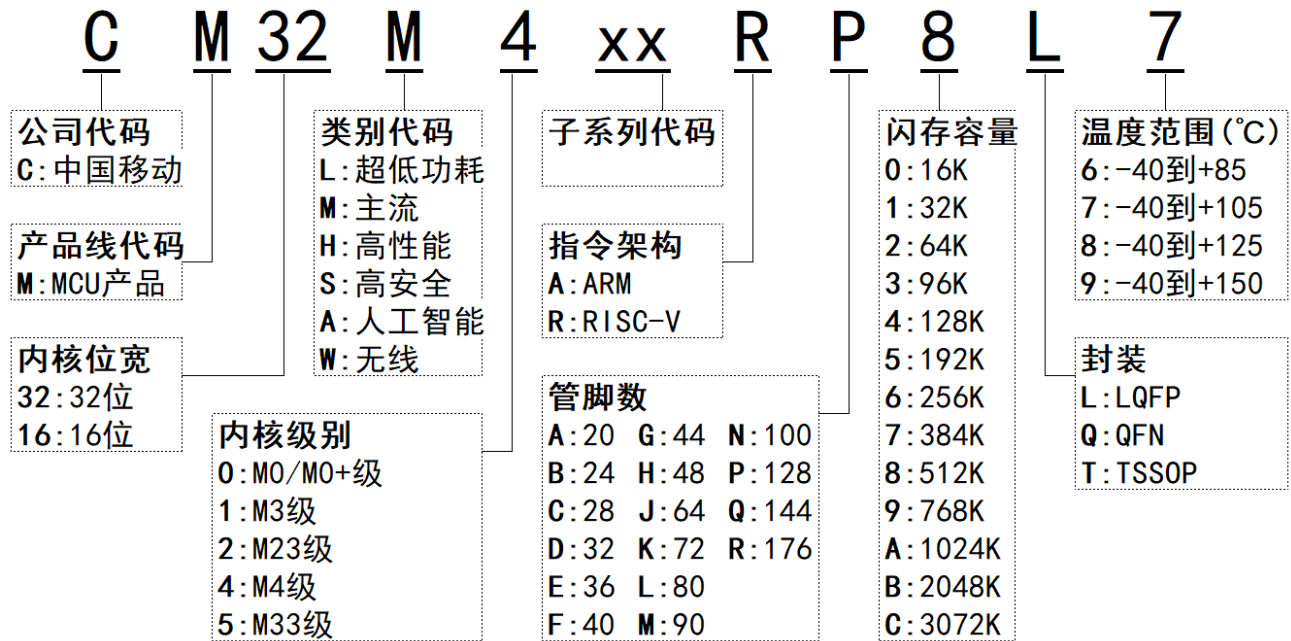
图1-1给出了该系列产品的框图。

图1-1 CM32M4xxR系列框图



1.1 命名规则

图1-2 CM32M4xxR系列订货代码信息图示



1.2 器件一览

表1-1 CM32M4xxR系列资源配置

器件型号		CM32M4xxR						
Flash容量（KB）		256	512	256	512	256	512	512
SRAM容量（KB）		144	144	144	144	144	144	144
CPU频率		RISC-V N308 @144MHz, 211DMIPS						
工作环境		1.8~3.6V/-40~105℃						
内存扩展接口		No		Yes(Only LCD Mode)		Yes		Yes
定时器	通用	4						
	高级	2						
	基本	2						
通讯接口	SPI	3						
	I2S	2						
	QSPI	1						
	I2C	4						
	USART	3						
	UART	4						
	CAN	2						
GPIO		51		67		80		97
DMA		2						
Number of channels		16 Channel						
12bit ADC		4		4		4		4

器件型号	CM32M4xxR			
Number of channels	22Channel	33 Channel	38Channel	40Channel
12bit DAC	2			
Number of channels	2Channel			
OPAMP	4			
COMP	7			
TSC(Channel)	16	18	24	24
算法支持	DES/3DES、AES、SHA1/SHA224/SHA256、SM3、SM4、MD5、CRC16/CRC32、TRNG			
安全保护	TEE、读写保护（RDP/WRP）、存储加密、分区保护、安全启动			
封装	LQFP64	LQFP80	LQFP100	LQFP128

1. SPI2和SPI3接口能够灵活地在SPI模式和I2S音频模式间切换。

2 功能简介

2.1 处理器内核

CM32M4xxR系列芯片CPU为32位RISC-V内核，具备硬件乘除法单元，支持单精度浮点指令集和丰富的DSP/SIMD指令集，内置指令Cache以支持高速存储访问，支持物理存储保护（PMP）和中断保护机制，具备显著的能效和内核安全特性。

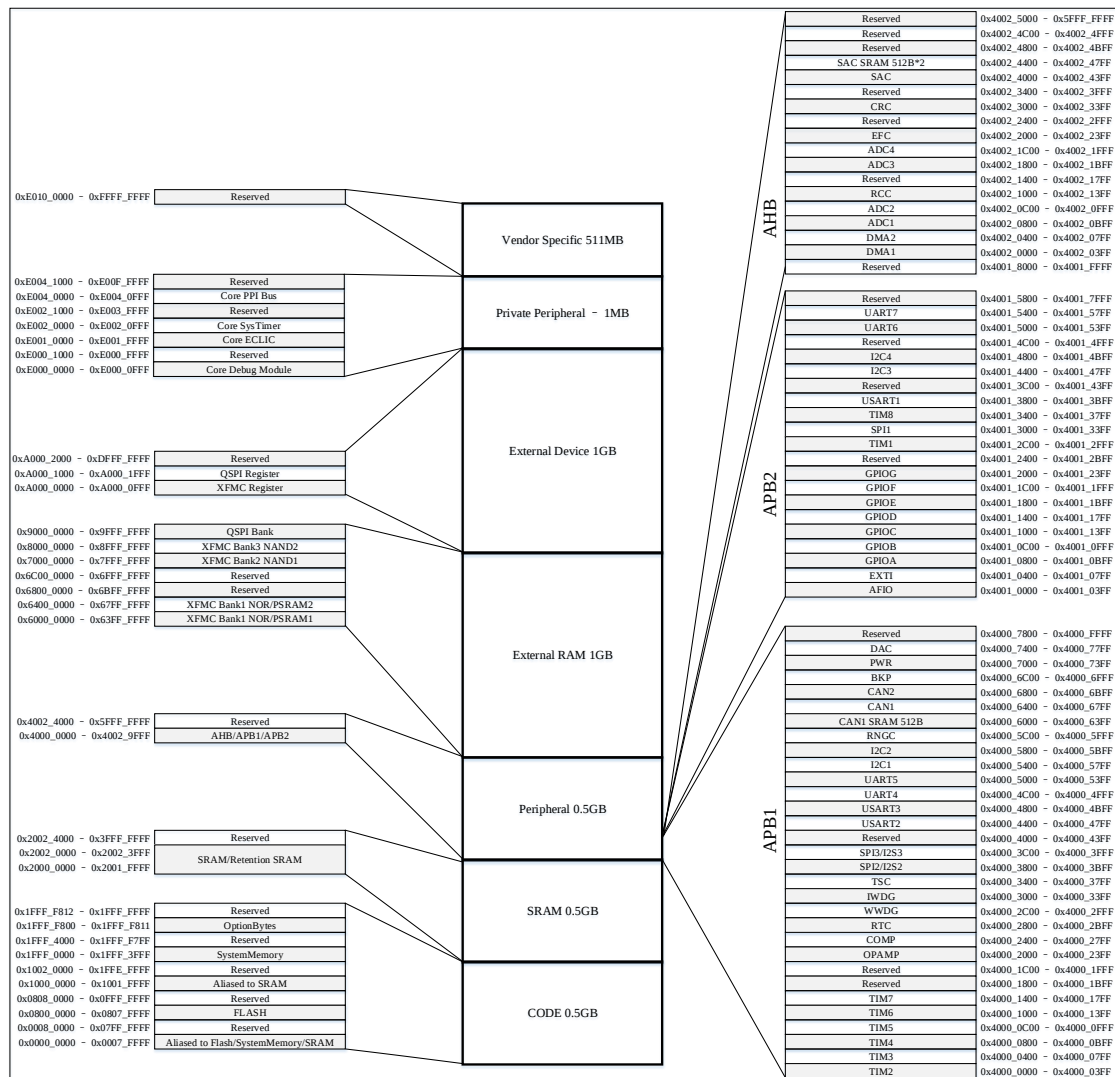
内核支持TEE机制，支持实现中断/异常、不同层级软件的隔离。

该内核支持高速指令总线（ILM）和数据总线（DLM），支持高效系统总线以访问系统存储。内核集成内嵌中断控制器，支持系统Timer和标准的JTAG调试接口。

2.2 存储器

CM32M4xxR系列器件包含嵌入式加密闪存（Flash）存储器、嵌入式SRAM，下图2-1为存储器映射图。

图2-1 存储器映射图



2.2.1 嵌入式闪存存储器

片内集成从 256K到512K字节嵌入式闪存 (FLASH)，用于存放程序和数据，页面大小 2Kbyte，支持页擦除、字写、字读、半字读、字节读操作。

支持存储加密保护，写入自动加密、读出自动解密（包括程序执行操作）。

支持用户分区管理，最多可分为3个用户分区，不同用户之间不可相互访问数据（仅可执行代码）。

2.2.2 嵌入式SRAM

片内集成多达144K字节的内置SRAM，SRAM和R-SRAM，其中R-SRAM为Retention SRAM，大小为16K字节，在STOP2、STANDBY低功耗模式下可以保持数据(用户可配置为保持或不保持)。

2.2.3 改进型内核中断控制器(ECLIC)

- 改进型内核中断控制器 (ECLIC)，能够处理多达86个可屏蔽中断通道(不包括19个N308的内部中断)和16个优先级。
 - ◆ 紧耦合的ECLIC能够达到低延迟的中断响应处理
 - ◆ 中断向量入口地址直接进入内核
 - ◆ 紧耦合的ECLIC接口
 - ◆ 允许中断的早期处理
 - ◆ 处理晚到的较高优先级中断
 - ◆ 支持中断尾部链接功能
 - ◆ 自动保存处理器状态
 - ◆ 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.3 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含22个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。多达97个通用I/O口连接到16个外部中断线。

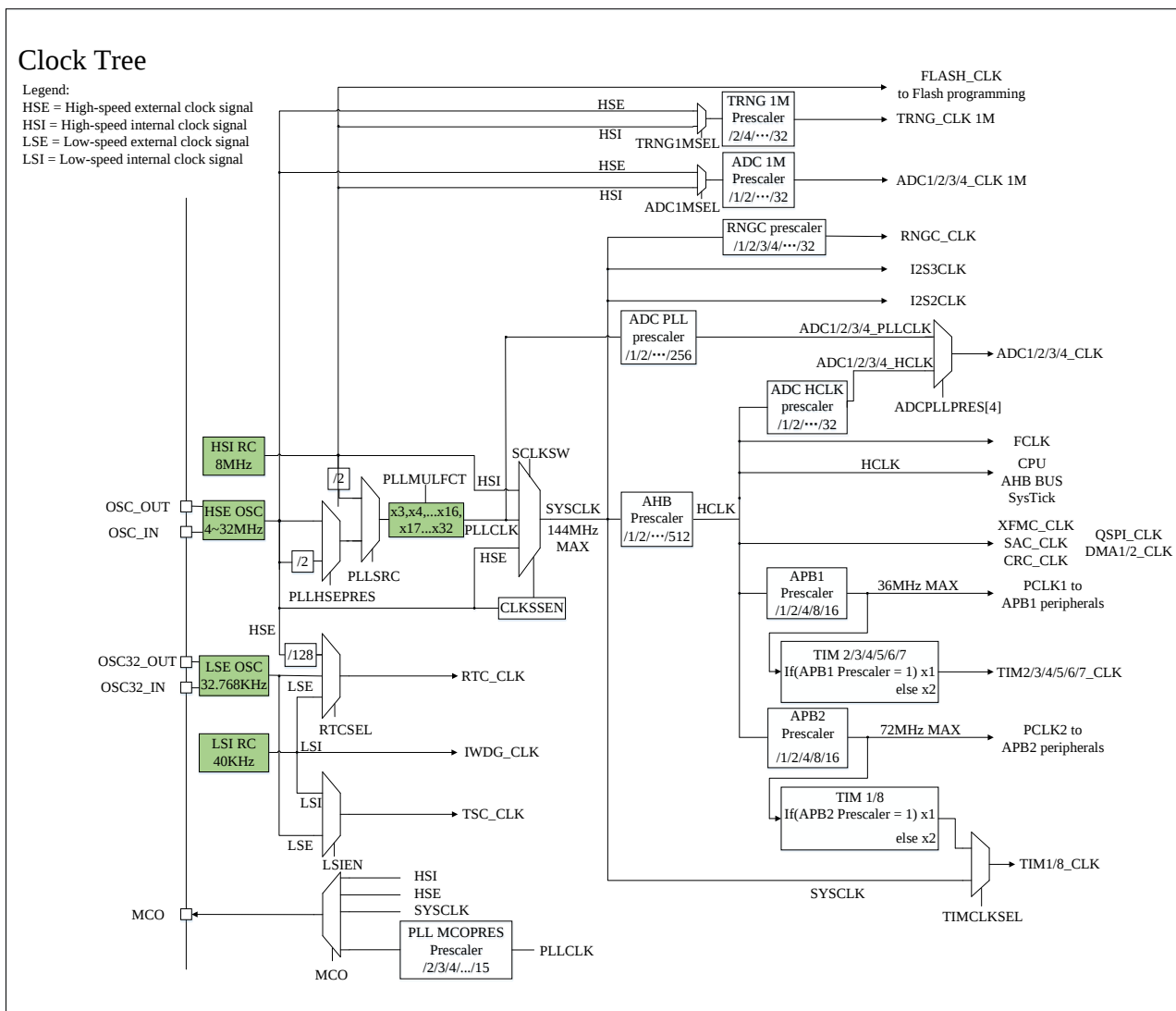
2.4 时钟系统

器件提供多种时钟供用户选择，包括内部高速RC时钟HSI (8MHz)，内部低速时钟LSI (40KHz)，外部高速时钟HSE (4MHz~32MHz)，外部低速时钟LSE (32.768KHz)，PLL。

复位时内部HSI时钟被设置为默认的CPU时钟，随后用户可以选择外部具有失效监控功能的HSE时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到HSI，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

多个预分频器用于配置AHB的频率、高速APB(APB2)和低速APB(APB1)区域。AHB的最高频率是144MHz，APB2的最高频率是72MHz，APB1的最高频率为36MHz。参考图2-2的时钟树框图。

图2-2 时钟树



1. 当HSI作为PLL时钟的输入时，最高的系统时钟频率只能达到128MHz。

2.5 启动模式

在启动时，通过BOOT0/1引脚可以选择三种启动模式中的一种：

- 从程序闪存存储器（FLASH Memory）启动
- 从系统存储器（System Memory）启动
- 从内部SRAM启动

启动加载程序(Bootloader)存放于系统存储器中，可以通过USART1接口对闪存进行编程。

2.6 供电方案

- $V_{DD} = 1.8 \sim 3.6V$: V_{DD} 引脚为I/O引脚和内部调压器供电。
- $V_{DDA} = 1.8 \sim 3.6V$: 为ADC、DAC、OPAMP、COMP、复位模块、RC振荡器和PLL的模拟部分提供供电。

V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。

- $V_{BAT} = 1.8 \sim 3.6V$: 当关闭 V_{DD} 时, 为RTC、外部32KHz振荡器和后备寄存器供电。

关于如何连接电源引脚的详细信息, 参见图4-3供电方案。

2.7 可编程电压监测器

器件内部集成了上电复位(POR)和掉电复位(PDR)电路, 这部分电路始终处于工作状态, 保证系统在供电超过1.8V时工作; 当 V_{DD} 低于设定的阈值($V_{POR/PDR}$)时, 置器件于复位状态, 而不必使用外部复位电路。器件中还有一个可编程电压监测器(PVD), 它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较, 当 V_{DD} 低于或高于阈值 V_{PVD} 时将产生中断, 中断处理程序可以发出警告信息。PVD功能需要通过程序开启。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考表4-6。

2.8 电压调压器

调压器有三个操作模式: 主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于CPU的STOP0模式
- 关断模式用于CPU的STOP2、STANDBY模式: 调压器的输出为高阻状态, 内核电路的供电切断, 调压器处于零消耗状态(但寄存器和SRAM的内容将丢失)

该调压器在复位后始终处于工作状态, 在待机模式下关闭并处于高阻输出状态。

2.9 低功耗模式

CM32M4xxR系列产品支持五种低功耗模式。

- SLEEP模式

在SLEEP模式下, 只有CPU停止, 所有外设处于工作状态并可在发生中断/事件时唤醒CPU。

- STOP0模式

STOP0模式基于N308深度睡眠模式, 在保持SRAM和寄存器内容不丢失的情况下, STOP0模式可以达到较低的电能消耗。在STOP0模式下, 主电源域的时钟停止, PLL、HSI的RC振荡器和HSE晶体振荡器被关闭, 主调压器MR可以被置于普通模式或低功耗模式。

唤醒: 可以通过任意一个配置成EXTI的信号把微控制器从STOP0模式中唤醒, EXTI信号可以是外部16个EXTI信号(I/O相关)、RTC唤醒、RTC闹钟、触控唤醒。

- STOP2模式

STOP2模式基于N308深度睡眠模式, 所有的核心数字逻辑区域电源全部关闭。主电压调节器(MR)关闭, HSE/HSI/PLL关闭。CPU寄存器保持, LSE/LSI可配置工作, 所有GPIO保持, 外设I/O复用功能不保持。16K字节 R-SRAM保持, 其他的SRAM和寄存器数据都将丢失。84字节备份寄存器保持。

唤醒: 可以通过任一配置成EXTI的信号把微控制器从STOP2模式中唤醒, EXTI信号可以是外部16个EXTI信号(I/O相关)、PVD的输出、RTC唤醒、RTC闹钟、触控唤醒。

- STANDBY模式

在STANDBY模式下可以达到最低的电流消耗状态。内部的电压调压器被关闭, PLL、HSI的RC振荡器和HSE晶体振荡器也被关闭; 进入STANDBY模式后, 寄存器的内容将丢失, 但后备寄存器的内容仍然保留, R-SRAM可保持, 待机电路仍工作。

NRST上的外部复位信号、IWDG复位、WKUP引脚上的一个上升边沿、RTC唤醒或RTC的闹钟可以把微控制器从STANDBY模式唤醒。

■ VBAT模式

在任何时候，只要 V_{DD} 掉电时，都将自动进入VBAT模式。在VBAT模式下，除了NRST、PA0-WKUP、PC13-TAMPER、PC14、PC15之外，大多数I/O引脚处于高阻状态。

注：在进入停机或待机模式时，RTC、IWDG和对应的时钟不会被停止。

2.10 直接存储器存取 (DMA)

器件集成2个灵活的通用DMA控制器，每个DMA控制器支持8个通道，可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输；2个DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道。可通过软件单独设置每个通道的传输的长度、传输的源地址和目标地址。

DMA可以用于主要的外设：SPI、I2C、USART，通用、基本和高级控制定时器TIMx，DAC、I2S、ADC。

2.11 实时时钟 (RTC)

RTC是一组连续运行的计数器，内置日历时钟模块，可提供万年历功能，还具有闹钟中断和周期性中断（最短2个时钟周期）功能。RTC可通过 V_{DD} 或 V_{BAT} 引脚供电，在 V_{DD} 有效时选择 V_{DD} 供电，否则由 V_{BAT} 引脚供电，由硬件自动选择并切换。RTC不会被系统或电源复位源复位，当从STANDBY模式唤醒时，也不会被复位。

RTC的驱动时钟可以选择为32.768KHz外部晶体振荡器、内部低功耗40KHz RC振荡器、或者高速的外部时钟经128分频任意一个时钟源。对于计时精度要求非常高的应用场景，建议使用外部32.768KHz时钟作为时钟源，同时为补偿天然晶体的时钟偏差，可以通过输出一个512Hz的信号对RTC的时钟进行校准。RTC有一个22位的预分频器用于时基时钟，默认情况下时钟为32.768KHz时，它将产生一个1秒长的时间基准。另外RTC可以用来触发低功耗状态下唤醒，以及定时唤醒TSC模块工作。

2.12 定时器和看门狗

最多2个高级控制定时器、4个普通定时器和2个基本定时器，以及2个看门狗定时器和1个系统嘀嗒定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表2-1 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生DMA请求	捕获/比较通道	互补输出
TIM1 TIM8	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	有
TIM2 TIM3 TIM4 TIM5	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	没有
TIM6 TIM7	16位	向上	1~65536之间的任意整数	可以	0	没有

2.12.1 基本定时器-TIM6和TIM7

2个独立的基本定时器(TIM6/TIM7)，每个定时器包含一个16位自动装载计数器，由各自的可编程预分频器驱动。它们可以作为通用定时器提供时间基准，特别地可以为数模转换器(DAC)提供时钟，它们在芯片内部直接连接到DAC并通过触发输出直接驱动DAC。

■ 基本定时器的主要功能如下：

- 16位自动重装载累加计数器；
- 16位可编程(可实时修改)预分频器，用于对输入的时钟按系数为1 ~ 65536之间的任意数值分频；
- 触发DAC的同步电路；
- 在更新事件(计数器溢出)时产生中断/DMA请求

2.12.2 通用定时器(TIMx)

内置了4个可同步运行的通用定时器(TIM2、TIM3、TIM4和TIM5)。这4个定时器都是完全独立的，每个定时器都有一个16位的自动加载递增/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获（用于测量脉冲宽度）、输出比较、PWM和单脉冲模式输出，在最大的封装配置中可提供最多16个输入捕获、输出比较或PWM通道。

■ 通用定时器的主要功能包括：

- 16位向上、向下、向上/向下自动装载计数器；
- 16位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为1 ~ 65536之间的任意数值；
- 4个独立通道：
 - ✧ 输入捕获；
 - ✧ 输出比较；
 - ✧ PWM生成(边缘或中间对齐模式)；
 - ✧ 单脉冲模式输出；
- 使用外部信号控制定时器和定时器互连的同步电路；
- 如下事件发生时产生中断/DMA：
 - ✧ 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)；
 - ✧ 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)；
 - ✧ 输入捕获；
 - ✧ 输出比较；
- 支持针对定位的增量(正交)编码器和霍尔传感器电路；
- 触发输入作为外部时钟或者按周期的电流管理

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

2.12.3 高级控制定时器(TIM1和TIM8)

两个独立的高级定时器 (TIM1/TIM8)，每个定时器通过可编程预分频器驱动的16位自动装载计数器构成。支持多种功能，包含测量输入信号的脉冲宽度(输入捕获)，或者产生输出波形(输出比较、PWM、嵌入

死区时间的互补PWM输出等)。使用定时器预分频器和RCC时钟控制预分频器,可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。每个定时器都是完全独立的,没有互相共享任何资源。

■ 高级定时器的主要功能包括:

- 16位向上、向下、向上/下自动装载计数器;
- 16位可编程(可以实时修改)预分频器,计数器时钟频率的分频系数为1 ~ 65536之间的任意数值;
- 支持最高144MHz作为定时器输入时钟;
- 多达6个独立通道:
 - ✧ 输入捕获;
 - ✧ 输出比较;
 - ✧ PWM生成(边缘或中间对齐模式);
 - ✧ 单脉冲模式输出;
- PWM触发ADC采样:
- 触发时间点可在PWM整个周期内可固件配置。
- 死区时间可编程的互补输出;
- 使用外部信号控制定时器和定时器互联的同步电路;
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器;
- Break输入信号可以将定时器输出信号置于复位状态或者一个已知状态;
- 如下事件发生时产生中断/DMA:
 - 更新:计数器向上溢出/向下溢出,计数器初始化(通过软件或者内部/外部触发);
 - ✧ 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数);
 - ✧ 输入捕获;
 - ✧ 输出比较;
 - ✧ Break信号输入;
- 支持针对定位的增量(正交)编码器和霍尔传感器电路;
- 触发输入作为外部时钟或者按周期的电流管理

在调试模式下,计数器可以被冻结,同时PWM输出被禁止,从而切断由这些输出所控制的开关。很多功能都与标准的TIM定时器相同,内部结构也相同,因此高级控制定时器可以通过定时器链接功能与TIM定时器协同操作,提供同步或事件链接功能。

2.12.4 系统时基定时器(Systick)

这个定时器是专用于实时操作系统,也可当成一个标准的递减计数器。

■ 它具有下述特性:

- 24位的递减计数器
- 自动重加载功能
- 当计数器为0时能产生一个可屏蔽系统中断
- 可编程时钟源

2.12.5 看门狗定时器(WDG)

支持两个看门狗独立看门狗(IWDG)和窗口看门狗(WWDG)，两个看门狗提供了更高的安全性、时间的精确性和使用的灵活性。

独立看门狗 (IWDG)

独立看门狗是基于一个12位的递减计数器和一个8位的预分频器，由独立的低速RC振荡器驱动，即使时钟发生故障它也仍然有效，可工作在STOP0模式、STOP2模式和STANDBY模式。IWDG一旦被激活，如果不在设定的时间内喂狗（清除看门狗计数器），则在计数器计数至0x000时产生复位，它可以用于在应用程序发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。复位和低功耗唤醒可配。

窗口看门狗 (WWDG)

窗口看门狗通常被用来监测，由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。除非递减计数器的值在T6位变成0前被刷新，看门狗电路在达到预置的时间周期时，会产生一个MCU复位。在递减计数器达到窗口寄存器数值之前，如果7位的递减计数器数值(在控制寄存器中)被刷新，那么也将产生一个MCU复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

■ 主要特点:

- WWDG由APB1时钟分频后得到的时钟驱动;
- 可编程的自由运行递减计数器;
- 条件复位:
 - 当递减计数器的值小于0x40, (若看门狗被启动)则产生复位;
 - 当递减计数器在窗口外被重新装载, (若看门狗被启动)则产生复位;
- 如果启动了看门狗并且允许中断, 当递减计数器等于0x40时产生早期唤醒中断(EWI), 它可以被用于重新装载计数器以避免WWDG复位。

2.13 I2C总线接口

多达4个独立的I2C总线接口，它提供多主机功能，控制所有I2C总线特定的时序、协议、仲裁和定时。支持多种通信速率模式(最高支持1MHz)，支持DMA操作，同时与SMBus 2.0兼容。I2C模块有多种用途，包括CRC码的生成和校验、SMBus(系统管理总线—System Management Bus)和PMBus(电源管理总线—Power Management Bus)。

I2C接口的主要功能描述如下:

- 多主机功能：该模块既可做主设备也可做从设备;
- I2C主设备功能:
 - ✧ 产生时钟;
 - ✧ 产生起始和停止信号;
- I2C从设备功能:
 - ✧ 可编程的地址检测;
 - ✧ I2C接口支持7位或10位寻址，7位从模式时支持双从地址响应能力;
 - ✧ 停止位检测;
 - ✧ 产生和检测7位/10位地址和广播呼叫;

- 支持不同的通讯速度;
 - ✧ 标准速度(高达100 KHz);
 - ✧ 快速(高达400 KHz);
 - ✧ 快速+ (高达1MHz);
- 状态标志:
 - ✧ 发送器/接收器模式标志;
 - ✧ 字节发送结束标志;
 - ✧ I2C总线忙标志;
- 错误标志:
 - ✧ 主模式时的仲裁丢失;
 - ✧ 地址/数据传输后的应答(ACK)错误;
 - ✧ 检测到错位的起始或停止条件;
 - ✧ 禁止拉长时钟功能时的上溢或下溢;
- 2个中断向量:
 - ✧ 1个中断用于地址/数据通讯成功;
 - ✧ 1个中断用于错误;
- 可选的拉长时钟功能
- 具单字节缓冲器的DMA;
- 可配置的PEC(信息包错误检测)的产生或校验
- 发送模式中PEC值可以作为最后一个字节传输
- 用于最后一个接收字节的PEC错误校验
- 兼容SMBus 2.0
 - ✧ 25 ms时钟低超时延时
 - ✧ 10 ms主设备累积时钟低扩展时间
 - ✧ 25 ms从设备累积时钟低扩展时间
 - ✧ 带ACK控制的硬件PEC产生/校验
 - ✧ 支持地址分辨协议(ARP)
- 兼容SMBus

2.14 通用同步/异步收发器 (USART)

CM32M4xxR系列产品中, 集成了7个串行收发接口, 包括3个通用同步/异步收发器(USART1、USART2和USART3), 和4个通用异步收发器(UART4、UART5、UART6、UART7)。这7个接口提供同/异步通信、支持IrDA SIR ENDEC传输编解码、多处理器通信模式、单线半双工通信模式和LIN主/从功能。

USART1/UART6/UART7接口通信速率可达4.5Mbit/秒, 其它接口的通信速率可达2.25Mbit/秒。

USART1/USART2/USART3接口具有硬件的CTS和RTS信号管理、兼容ISO7816的智能卡模式和类SPI通信模式, 所有接口都可以使用DMA操作。

- USART主要特性如下：
 - 全双工的异步通信；
 - NRZ标准格式；
 - 分数波特率发生器系统，波特率可编程，用于发送和接收，最高达4.5Mbits/s
 - 可编程数据字长度(8位或9位)
 - 可配置的停止位，支持1或2个停止位；
 - LIN主发送同步断开符的能力以及LIN从检测断开符的能力，当USART硬件配置成LIN时，生成13位断开符，检测10/11位断开符
 - 输出发送时钟用于同步传输；
 - IRDA SIR 编码器解码器，在正常模式下支持3/16位的持续时间；
 - 智能卡模拟功能；
 - ✧ 智能卡接口支持 ISO7816-3 标准里定义的异步智能卡协议；
 - ✧ 智能卡用到的 0.5 和 1.5 个停止位；
 - 单线半双工通信；
 - 可配置的使用DMA的多缓冲器通信，在SRAM里利用集中式DMA缓冲接收/发送字节；
 - 独立的发送器和接收器使能位；
 - 检测标志
 - ✧ 接收缓冲器满
 - ✧ 发送缓冲器空
 - ✧ 传输结束标志
 - 校验控制
 - ✧ 发送校验位
 - ✧ 对接收数据进行校验
 - 四个错误检测标志；
 - ✧ 溢出错误
 - ✧ 噪音错误
 - ✧ 帧错误
 - ✧ 校验错误
 - 10个带标志的USART中断源
 - ✧ CTS 改变
 - ✧ LIN 断开符检测
 - ✧ 发送数据寄存器空

- ◇ 发送完成
 - ◇ 接收数据寄存器满
 - ◇ 检测到总线为空闲
 - ◇ 溢出错误
 - ◇ 帧错误
 - ◇ 噪音错误
 - ◇ 校验错误
- 多处理器通信，如果地址不匹配，则进入静默模式；
 - 从静默模式中唤醒(通过空闲总线检测或地址标志检测)
 - 两种唤醒接收器的方式：地址位(MSB，第9位)，总线空闲
 - 模式配置：

USART modes	USART1	USART2	USART3	UART4	UART5	UART6	UART7
异步模式	支持	支持	支持	支持	支持	支持	支持
硬件流控制	支持	支持	支持	不支持	不支持	不支持	不支持
多缓存通讯(DMA)	支持	支持	支持	支持	支持	支持	支持
多处理器通讯	支持	支持	支持	支持	支持	支持	支持
同步	支持	支持	支持	不支持	不支持	不支持	不支持
智能卡	支持	支持	支持	不支持	不支持	不支持	不支持
半双工(单线模式)	支持	支持	支持	支持	支持	支持	支持
IrDA	支持	支持	支持	支持	支持	支持	支持
LIN	支持	支持	支持	支持	支持	支持	支持

2.15 串行外设接口(SPI)

支持3个SPI接口，SPI允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还可使用CRC校验的可靠通信。

■ SPI接口的主要功能如下：

- 3线全双工同步传输；
- 带或不带第三根双向数据线的双线单工同步传输；
- 8或16位传输帧格式选择；
- 主或从操作；
- 支持多主模式；
- 8个主模式波特率预分频系数(最大为fPCLK/2)；
- 从模式频率 (最大为fPCLK/2)；
- 主模式和从模式的快速通信；
- 主模式和从模式下均可以由软件或硬件进行NSS管理：主/从操作模式的动态改变；
- 可编程的时钟极性和相位；

- 可编程的数据顺序，MSB在前或LSB在前；
- 可触发中断的专用发送和接收标志；
- SPI总线忙状态标志；
- 支持可靠通信的硬件CRC；
 - ✧ 在发送模式下，CRC 值可以被作为最后一个字节发送；
 - ✧ 在全双工模式中对接收到的最后一个字节自动进行CRC 校验；
- 可触发中断的主模式故障、过载以及CRC错误标志
- 支持DMA功能的单字节发送和接收缓冲器：产生发送和接受请求
- 接口速度：SPI1接口36Mbps，SPI2/SPI3接口18Mbps

2.16 串行音频接口(I2S)

I2S也是一种3引脚的同步串行接口通讯协议，2个标准的I2S接口(与SPI2和SPI3复用)可以工作于主或从模式，这2个接口可以配置为16位、24位或32位传输，亦可配置为输入或输出通道，支持音频采样频率从8KHz到96KHz。它支持四种音频标准，包括飞利浦I2S标准，MSB和LSB对齐标准，以及PCM标准。

它在半双工通讯中，可以工作在主和从2种模式下。当它作为主设备时，通过接口向外部的从设备提供时钟信号。

■ I2S接口的主要功能如下；

- 单工通信(仅发送或接收)；
- 主或者从操作；
- 8位线性可编程预分频器，获得精确的音频采样频率(8KHz到96KHz)；
- 数据格式可以是16位，24位或者32位；
- 音频信道固定数据包帧为16位(16位数据帧)或32位(16、24或32位数据帧)；
- 可编程的时钟极性(稳定态)；
- 从发送模式下的下溢标志位和主/从接收模式下的溢出标志位；
- 16位数据寄存器用来发送和接收，在通道两端各有一个寄存器；
- 支持的I2S协议：
 - ✧ I2S 飞利浦标准；
 - ✧ MSB 对齐标准(左对齐)；
 - ✧ LSB 对齐标准(右对齐)；
 - ✧ PCM 标准(16 位通道帧上带长或短帧同步或者 16 位数据帧扩展为 32 位通道帧)；
- 数据方向总是MSB在先；
- 发送和接收都具有DMA能力；
- 主时钟可以输出到外部音频设备，比率固定为256x F_s (F_s 为音频采样频率)

2.17 四线外设接口 (QSPI)

支持1路QSPI单主机模式，可以在间接和内存映射2种模式下工作。

■ QSPI控制器的主要特性如下：

- 可以配置成Single SPI/Dual SPI/Quad SPI模式。在Single模式下，支持标准的SPI操作，可以工作在半双工、全双工模式下；
- SPI的操作方式可以配置成间接模式或内存映射模式，指令阶段的命令码可配置，交替字节阶段或模式阶段的交替字节或模式字节可以配置；
- 支持8-bit、16-bit、32-bit的数据访问方式；
- 带数据收发FIFO；
- 支持DMA操作；
- 支持FIFO中断、操作完成中断、超时中断、数据访问错误中断；
- 最大速度支持4×36Mbps；
- 在间接模式或内存映射模式下，操作分为指令阶段、地址阶段、交替字节阶段、Dummy阶段、数据阶段，这几个阶段可以配置为略过。

2.18 扩展存储控制器接口 (XFMC)

CM32M4xxR系列集成了扩展存储控制器(XFMC)接口，它具有4个片选输出，支持SRAM、PSRAM、NOR和NAND存储器扩展。XFMC可以配置成与多数图形LCD控制器的无缝连接，它支持Intel 8080和Motorola 6800的模式，使用这个LCD并行接口可以很方便地构建简易的图形应用环境。

■ XFMC具有下列主要功能：

- 具有静态存储器接口的器件包括：
 - ✧ 静态随机存储器(SRAM)；
 - ✧ 只读存储器(ROM)；
 - ✧ NOR 闪存；
 - ✧ PSRAM(4 个存储器块)；
- NAND Flash支持，支持硬件ECC并可检测多达8K字节数据；
- 支持对同步器件的成组(Burst)访问模式，如NOR闪存和PSRAM；
- 8或16位数据总线；
- 每一个存储器块都有独立的片选控制；
- 每一个存储器块都可以独立配置；
- 时序可编程以支持各种不同的器件：
 - ✧ 等待周期可编程(多达 15 个周期)；
 - ✧ 总线恢复周期可编程(多达 15 个周期)；
 - ✧ 输出使能和写使能延迟可编程(多达 15 周期)；

- ✧ 独立的读写时序和协议，可支持宽范围的存储器和时序；
- PSRAM和SRAM器件使用的写使能和字节选择输出；
- 将32位的AHB访问请求，转换到连续的16位或8位的，对外部16位或8位器件的访问；
- 具有16个字，每个字32位宽的写入FIFO，允许在写入较慢存储器时释放AHB进行其它操作。在开始一次新的XFMC操作前，FIFO要先被清空。

2.19 控制器区域网络 (CAN)

支持2路CAN总线接口，CAN1/2接口兼容规范2.0A和2.0B(主动)，位速率高达1Mbit/秒。它可以接收和发送11位标识符的标准帧，也可以接收和发送29位标识符的扩展帧。

■ 主要特点：

- 支持CAN协议2.0A和2.0B主动模式；
- 波特率最高可达1兆位/秒；
- 支持时间触发通信功能
- 发送
 - ✧ 3 个发送邮箱
 - ✧ 发送报文的优先级特性可软件配置
 - ✧ 记录发送 SOF 时刻的时间戳
- 接收
 - ✧ 3 级深度的 2 个接收 FIFO
 - ✧ 可变的过滤器组
 - ✧ 有 14 个过滤器组
 - ✧ 标识符列表
 - ✧ FIFO 溢出处理方式可配置
 - ✧ 记录接收 SOF 时刻的时间戳
- 时间触发通信模式
 - ✧ 禁止自动重传模式
 - ✧ 16 位自由运行定时器
 - ✧ 可在最后 2 个数据字节发送时间戳
- 管理
 - ✧ 中断可屏蔽
 - ✧ 邮箱占用单独 1 块地址空间，便于提高软件效率

2.20 通用输入输出接口(GPIO)

支持最多97个GPIO，共被分为7组（GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOF/GPIOG），每组16个端口（F组共10个，G组共7个）。每个GPIO引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口，多数GPIO引脚都与数字或模拟的复用外设共用，有的I/O引脚还与时钟引脚复用；除了具有模拟输入功能的端口，所有的GPIO引脚都有大电流通过能力。

■ GPIO主要特性描述如下：

- GPIO端口的每个位可以由软件分别配置成多种模式：
 - ✧ 输入浮空；
 - ✧ 输入上拉（弱上拉）；
 - ✧ 输入下拉（弱下拉）；
 - ✧ 模拟输入；
 - ✧ 开漏输出；
 - ✧ 推挽式输出；
 - ✧ 推挽式复用功能；
 - ✧ 开漏复用功能。
- 通用 I/O(GPIO)
 - ✧ 复位期间和刚复位后，复用功能未开启，除 BOOT0 和 BOOT1 外（BOOT0、和 BOOT1 为输入下拉），I/O 端口被配置成模拟输入模式；
 - ✧ 复位期间和刚复位后，复用功能未开启，I/O 端口被配置成模拟输入模式，复位后，JTAG 引脚被置于输入上拉或下拉模式：
 - ✓ JTDI 置于上拉模式；
 - ✓ JTCK 置于下拉模式；
 - ✓ JTMS 置于上拉模式；
 - ✓ JNTRST 置于上拉模式
 - ✧ 当作为输出配置时，写到输出数据寄存器上的值输出到相应的 I/O 引脚。可以以推挽模式或开漏模式输出
- 单独的位设置或位清除功能；
- 外部中断/唤醒：所有端口都有外部中断能力，为了使用外部中断线，端口必须配置成输入模式；
- 复用功能：（使用默认复用功能前必须对端口位配置寄存器编程）
 - ✧ 对于复用的输入功能，端口必须配置成输入模式(浮空、上拉或下拉)且输入引脚必须由外部驱动；
 - ✧ 对于复用输出功能，端口必须配置成复用功能输出模式(推挽或开漏)；

- ✧ 对于双向复用功能，端口位必须配置复用功能输出模式(推挽或开漏)。这时，输入驱动器被配置成浮空输入模式。
- 软件重新映射 I/O 复用功能
- GPIO 锁定机制，锁定机制允许冻结 IO 配置。当在一个端口位上执行了锁定(LOCK)程序，在下次复位之前，将不能再更改端口位的配置。

2.21 模拟/数字转换器(ADC)

支持最多4个12位5MSPS采样率的逐次比较型ADC，支持单端输入和差分输入，可测量40个外部和7个内部信号源，其中ADC1支持11个外部通道，ADC2支持13个外部通道，ADC3支持15个外部通道，ADC4支持13个外部通道

■ ADC主要特性描述如下：

- 支持 12 位、10 位、8 位、6 位分辨率可配置
 - ✧ 12bit 分辨率下最高采样速率 5.14MSPS
 - ✧ 10bit 分辨率下最高采样速率 6MSPS
 - ✧ 8bit 分辨率下最高采样速率 7.2MSPS
 - ✧ 6bit 分辨率下最高采样速率 9MSPS
- ADC 时钟源分为工作时钟源、采样时钟源和计时时钟源
 - ✧ 仅可配置 AHB_CLK 作为工作时钟源，最高可到 144MHz
 - ✧ 可配置 PLL 作为采样时钟源，最高可到 72MHz，支持分频 1,2,4,6,8,10,12,16,32,64,128,256
 - ✧ 可配置 AHB_CLK 作为采样时钟源，最高可到 72MHz，支持分频 1,2,4,6,8,10,12,16,32
 - ✧ 计时时钟用于内部计时功能，频率必须配置成 1MHz
- 支持定时器触发 ADC 采样
- 转换结束、注入转换结束和发生模拟看门狗事件时产生中断
- 单次和连续转换模式
- 从通道 0 到通道 N 的自动扫描模式
- 支持自校准
- 带内嵌数据一致性的数据对齐
- 采样间隔可以按通道分别编程
- 规则转换和注入转换均有外部触发选项
- 中断模式
- 双重模式，ADC1 和 ADC2 组合、ADC3 和 ADC4 组合
- ADC 供电要求：1.8V 到 3.6V

- ADC 输入范围: $V_{REF-} \leq V_{IN} \leq V_{REF+}$
- ADC 可以使用 DMA 操作, 规则通道转换期间有 DMA 请求产生。
- 模拟看门狗功能, 可以非常精准地监视一路、多路或所有选中的通道, 当被监视的信号超出预置的阈值时, 将产生中断。

2.22 数字/模拟转换器 (DAC)

支持2个数模转换器(DAC), DAC是12位数字输入、电压输出的数字/模拟转换器。DAC模块有2个输出通道, 每个通道都有单独的转换器, 2个DAC可以同时使用互不影响。DAC可以通过引脚输入参考电压 V_{REF+} 以获得更精确的转换结果。

■ 这个双数字接口支持下述功能:

- 两个 DAC 转换器: 各有一个输出通道
- 可配置的 8 位或 12 位输出
- 12 位模式下可配置的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双 DAC 通道独立或同步转换
- 每个通道都可使用 DMA 功能
- 外部触发进行转换
- 输入参考电压 V_{REF+}

2.23 运算放大器 (OPAMP)

内嵌最多4个独立的运算放大器, 具有外部放大、内部跟随和可编程放大器 (PGA) 等多种工作模式 (或兼具有内部放大和外部滤波)。

■ 主要功能如下:

- 支持轨到轨输入/输出;
- 可以配成独立的运放和可编程增益运放;
- 正向和反向输入复选;
- OPAMP 工作模式可以配置成:
 - ✧ 独立模式 (外部增益设置);
 - ✧ PGA 模式, 可编程增益设为 2X、4X、8X、16X、32X;
 - ✧ 跟随器模式;
- 内部连接的 ADC 通道用于运算放大器的输出信号测量。

2.24 模拟比较器 (COMP)

内嵌最多7个比较器，可以用作单独的设备（比较器所有端口引到I/O上），也可以和定时器组合使用，在电机控制场合可以与来自定时器的PWM输出配合形成逐周期电流控制。

■ 比较器主要功能如下：

- 支持轨到轨比较器；
- 比较器的反向和正向端支持以下输入：
 - ✧ 复选的 I/O；
 - ✧ DAC 通道输出；
 - ✧ 内部可调电压输入（共有 2 个内部可调电压 VREF1、VREF2，所有 7 个比较器共享），可基于 V_{DDA} 进行 64 级均匀调节；
- 可编程的迟滞，可配置为无迟滞、低迟滞、中迟滞、高迟滞；
- 比较器可以输出到 I/O 或者定时器输入，用于触发；
 - ✧ 捕获事件；
 - ✧ OCREF_CLR 事件（用于逐周期电流控制）；
 - ✧ 刹车事件；
- 比较器支持输出滤波，包括模拟滤波和数字滤波，滤波频率 50K~144MHz 可配；
- COMP1/COMP2, COMP3/COMP4 and COMP5/COMP6 可以组成窗口比较器；
- 支持带消隐的比较器输出，可以关闭消隐使能，或选择 Timer1_OC5、Timer8_OC5 作为消隐输入；
- 每个比较器可以有中断唤醒能力，支持从 Sleep 模式下唤醒；

2.25 温度传感器 (TS)

温度传感器产生一个随温度线性变化的电压，转换范围在 $1.8V < V_{DDA} < 3.6V$ 之间。温度传感器在内部被连接到 ADC1_IN16 的输入通道上，用于将传感器的输出转换到数字数值。

2.26 触摸传感器控制 (TSC)

TSC 主要应用于电容式触摸按键应用场景，硬件检测到有手触摸时唤醒 CPU，由其进行更加精确的触摸检测及后续的计算处理。

■ TSC 控制器的主要特性如下：

- 支持电容式触控功能，最大支持 24 个通道，每个通道可单独使能；
- 在低功耗模式 (SLEEP、STOP0、STOP2) 下，检测到触控操作，将产生中断并唤醒 CPU；
- 在正常工作模式下，检测到触控操作，中断/事件通知 CPU；
- 检测到触控操作，有状态寄存器指示相应通道产生唤醒，每个通道均有一个唤醒指示标志；

- 触控唤醒检测的周期、每个通道的检测时长用户可编程配置；
- 通道检测的灵敏度可用户设置，每个通道均有独立的阈值；
- 支持校准功能；
- 切换到定时器输入捕获通道，由固件进行触控算法实现；

2.27 循环冗余校验计算单元(CRC)

集成CRC32和CRC16功能，循环冗余校验(CRC)计算单元是根据固定的生成多项式得到任一CRC计算结果。在众多的应用中，基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC 60335-1标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

■ CRC的主要特性如下：

- CRC16：支持多项式 $X^{16}+X^{15}+X^2+X^0$
- CRC32：支持多项式 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- CRC 计算时间：4 个 AHB 时钟周期(HCLK)
- 循环冗余计算初始值可配置
- 支持 DMA 方式

2.28 算法硬件加速引擎(SAC)

内嵌算法硬件加速引擎，支持多种国际算法及国家密码对称密码算法和杂凑密码算法加速，相较于纯软件算法而言能极大的提高加解密速度。

■ 硬件支持的算法如下：

- 支持 DES 对称算法
 - ✧ 支持 DES 和 3DES 加解密运算
 - ✧ TDES 支持 2KEY 和 3KEY 模式
 - ✧ 支持 CBC 和 ECB 模式
- 支持 AES 对称算法
 - ✧ 支持 128bit/192bit/ 256bit 密钥长度
 - ✧ 支持 CBC、ECB、CTR 模式
- 支持 SHA 杂凑算法
 - ✧ 支持 SHA1/SHA244/SHA256
- 支持 MD5 摘要算法
- 支持对称式国密 SM4 以及 SM3 杂凑算法

2.29 唯一设备序列号 (UID)

CM32M4xxR系列产品内置两个不同长度的唯一设备序列号，分别为96位的UID(Unique device ID)和128位的UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对CM32M4xxR系列任意一个微控制器在任何情况下都是唯一的，用户应用程序或外部设备可以通过CPU或JTAG接口读取，不可被修改。

UID为96位，通常用来做为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性，也可用于激活带安全功能的自举程序(Secure Bootloader)。

UCID为128位，遵守中移物联芯片序列号定义，它包含芯片生产及版本相关信息。

2.30 JTAG调试口

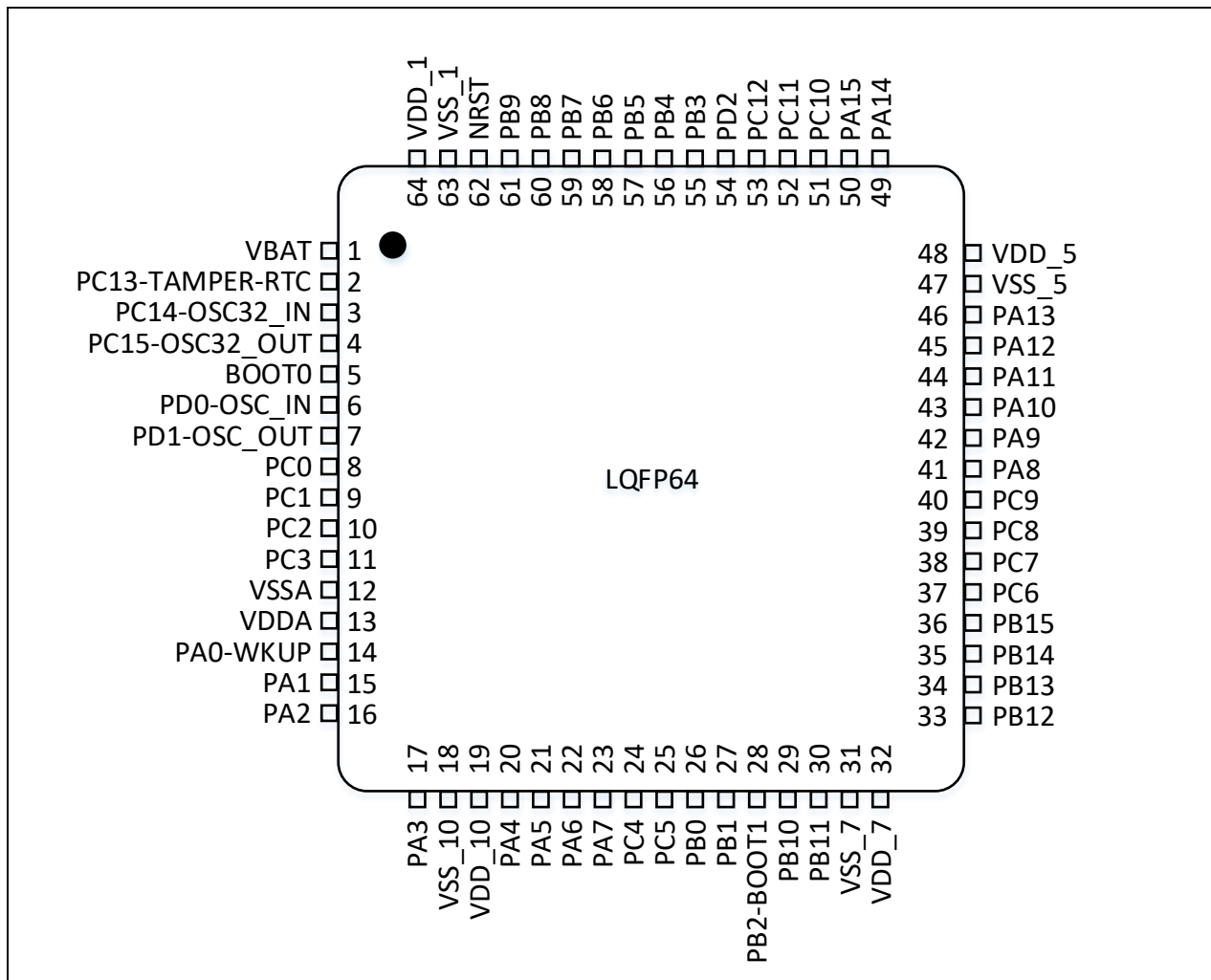
内嵌标准JTAG接口，这是一个支持2-wire JTAG和4-wire JTAG调试的接口，可以实现2-wire JTAG和4-wire JTAG调试接口的连接。

3 引脚定义和描述

3.1 封装示意图

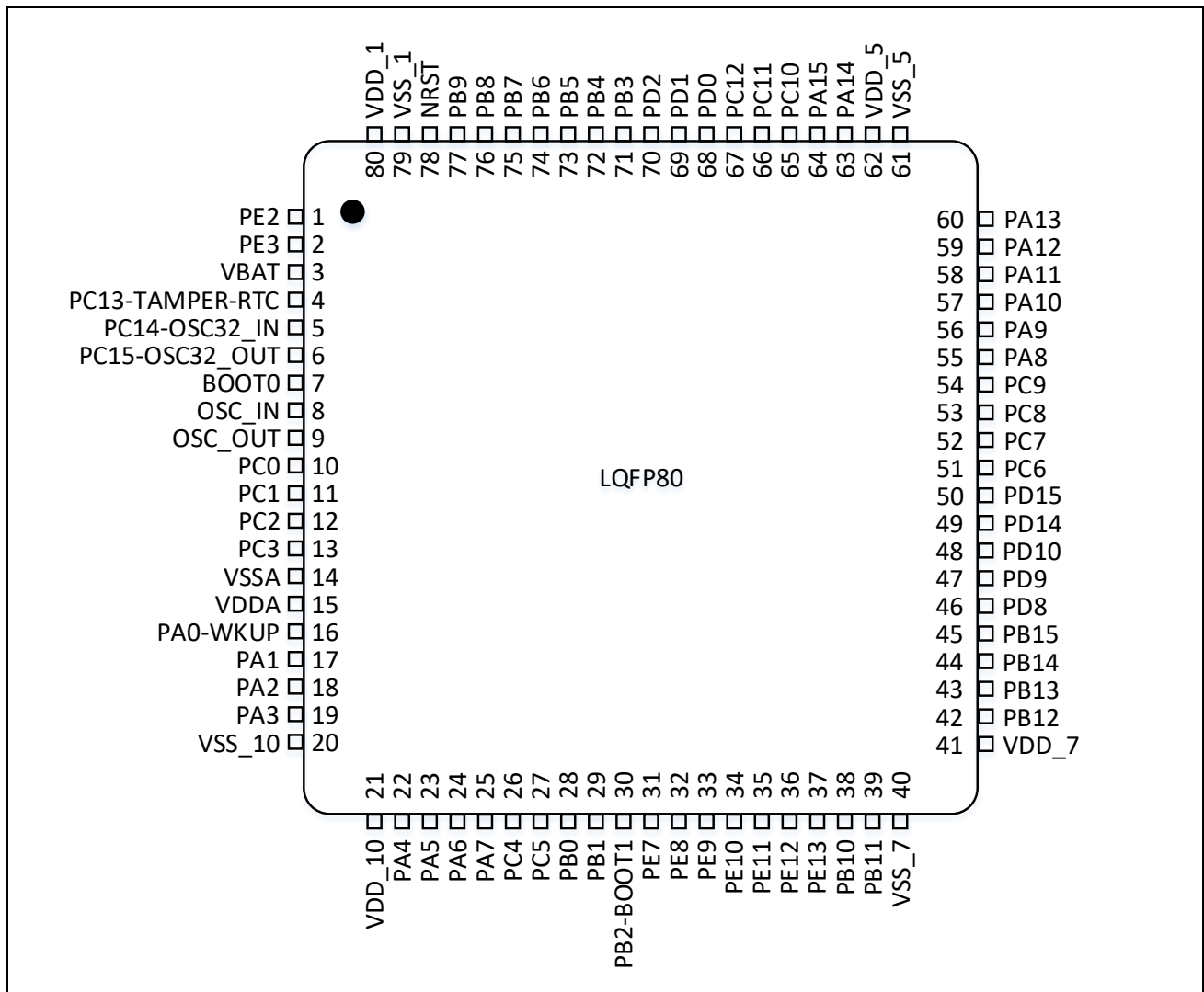
3.1.1 LQFP64

图3-1 CM32M4xxR系列LQFP64引脚分布



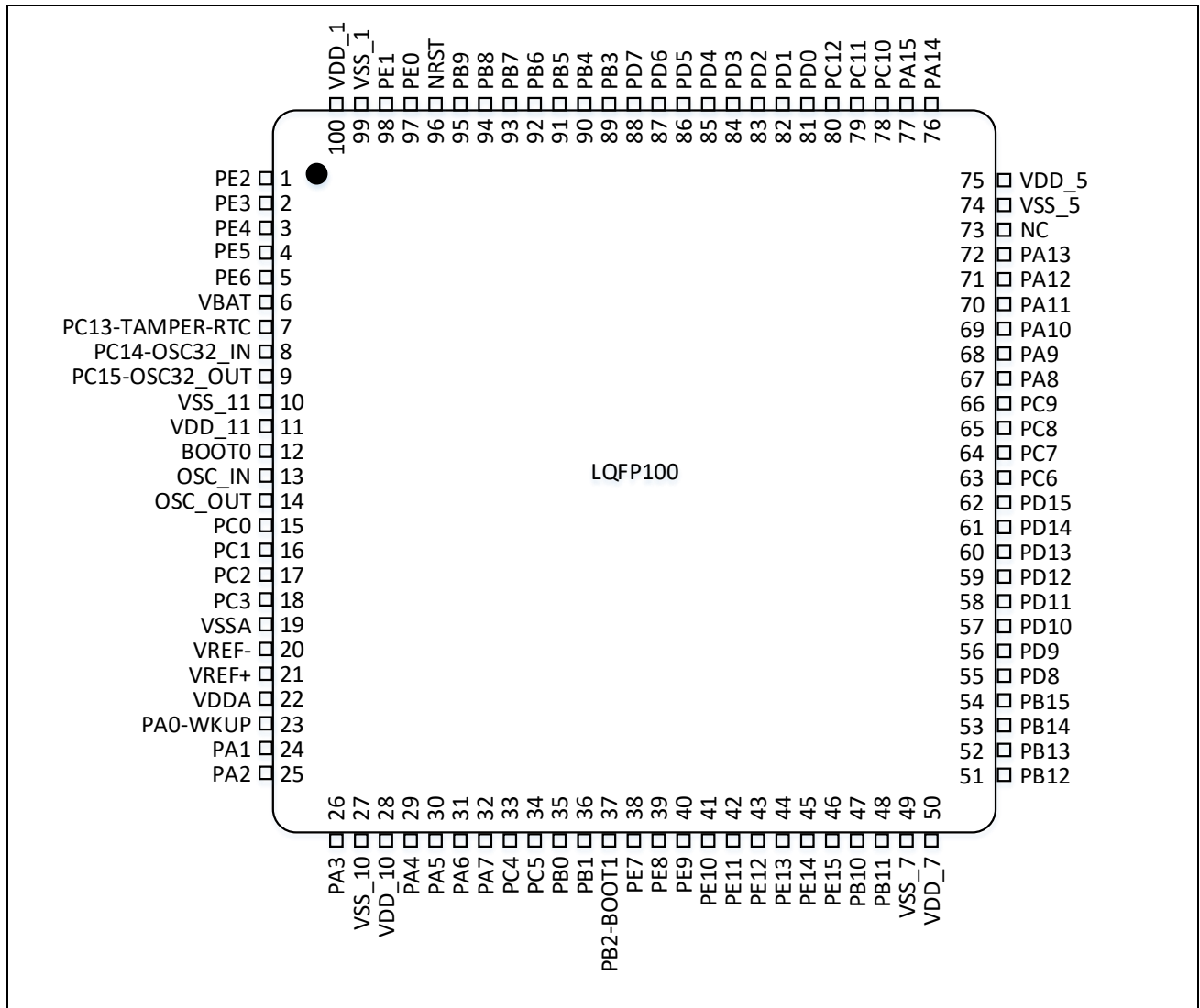
3.1.2 LQFP80

图3-2 CM32M4xxR系列LQFP80引脚分布



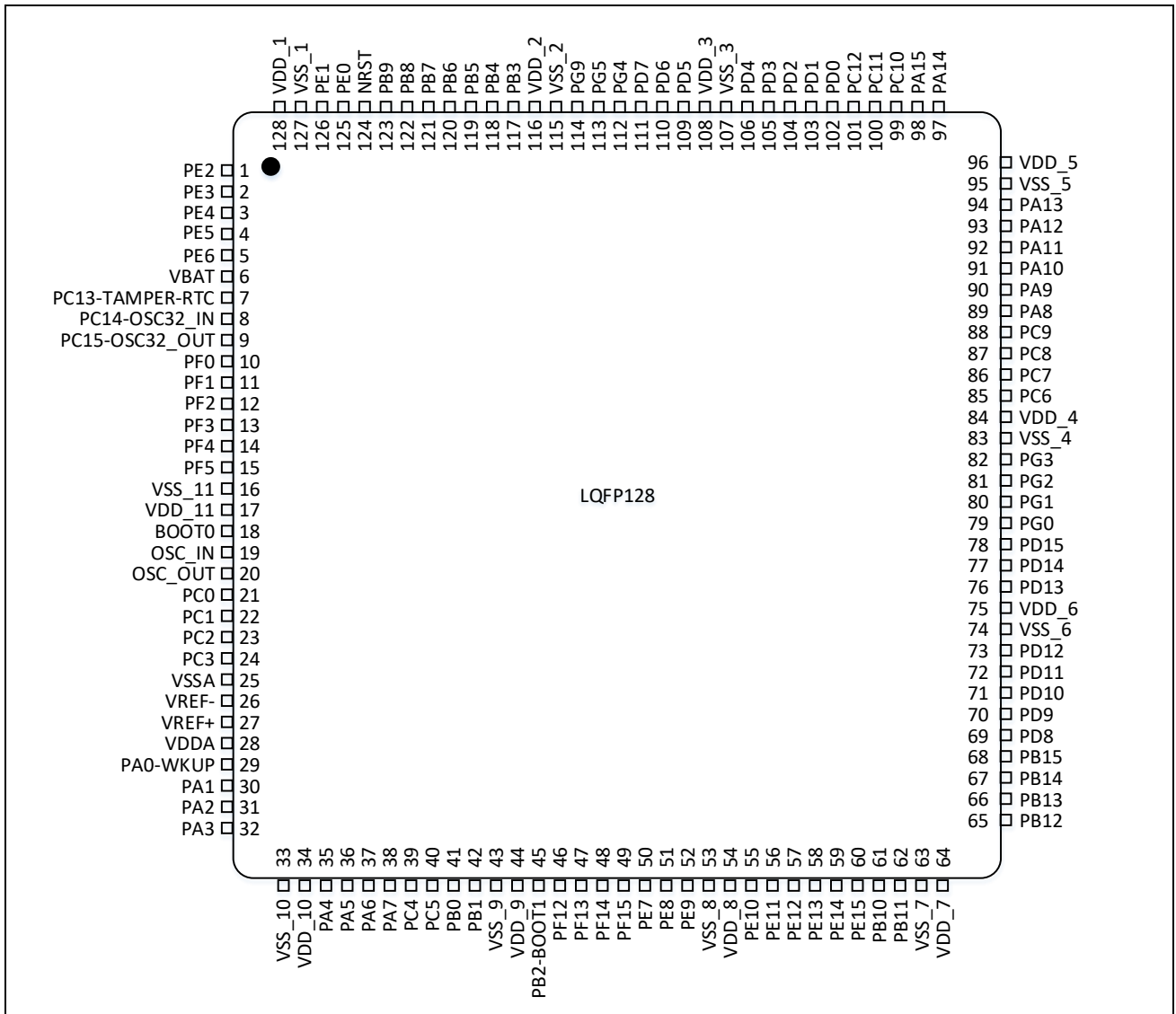
3.1.3 LQFP100

图3-3 CM32M4xxR系列LQFP100引脚分布



3.1.4 LQFP128

图3-4 CM32M4xxR系列LQFP128引脚分布



3.2 引脚复用定义

表3-1 管脚定义

封装				管脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	Fail-safe ⁽⁹⁾ 支持	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
LQFP64	LQFP80	LQFP100	LQFP128						默认	重定义
-	1	1	1	PE2	I/O	FT	Yes	PE2	TRACE_HCLK XFMC_A23 UART6_TX	
-	2	2	2	PE3	I/O	FT	Yes	PE3	TRACE_IEXCEPTION XFMC_A19 UART6_RX	
-	-	3	3	PE4	I/O	FT	Yes	PE4	TRACE_INTERRUPT XFMC_A20	
-	-	4	4	PE5	I/O	FT	Yes	PE5	TRACE_PRIV[0] XFMC_A21	
-	-	5	5	PE6	I/O	FT	Yes	PE6	TRACE_PRIV[1] XFMC_A22	
1	3	6	6	VBAT	S	-	Yes	VBAT	-	-
2	4	7	7	PC13-TAMPER-RTC(5)	I/O	TC	Yes	PC13(6)	TAMPER-RTC	-
3	5	8	8	PC14-OSC32_IN(5)	I/O	TC	Yes	PC14(6)	OSC32_IN	-
4	6	9	9	PC15-OSC32_OUT(5)	I/O	TC	Yes	PC15(6)	OSC32_OUT	-
-	-	-	10	PF0	I/O	FT	Yes	PF0	XFMC_A0	QSPI_NSS
-	-	-	11	PF1	I/O	FT	Yes	PF1	XFMC_A1	QSPI_CLK
-	-	-	12	PF2	I/O	TTa	No	PF2	XFMC_A2 ADC12_IN10	QSPI_IO0
-	-	-	13	PF3	I/O	FT	Yes	PF3	XFMC_A3	QSPI_IO1
-	-	-	14	PF4	I/O	TTa	No	PF4	XFMC_A4 ADC1_IN5	QSPI_IO2 I2C3_SCL
-	-	-	15	PF5	I/O	FT	Yes	PF5	XFMC_A5	QSPI_IO3 I2C3_SDA
-	-	10	16	VSS_11	S	-	-	VSS_11	-	-
-	-	11	17	VDD_11	S	-	-	VDD_11	-	-
5	7	12	18	BOOT0	I	-	-	BOOT0	-	-
6	8	13	19	OSC_IN(10)	I	TC	Yes	OSC_IN	-	-
7	9	14	20	OSC_OUT(10)	O	TC	No	OSC_OUT	-	-
8	10	15	21	PC0	I/O	TTa	No	PC0	ADC12_IN6 I2C3_SCL	COMP7_INM UART6_TX
9	11	16	22	PC1	I/O	TTa	No	PC1	ADC12_IN7 I2C3_SDA	COMP7_INP UART6_RX
10	12	17	23	PC2	I/O	TTa	No	PC2	ADC12_IN8 COMP7_OUT	UART7_TX SPI3_NSS I2S3_WS
11	13	18	24	PC3(7)	I/O	TTa	No	PC3	ADC12_IN9	UART7_RX SPI3_SCK I2S3_CK OPAMP3_VINP OPAMP4_VINP COMP5_INP

封装				管脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	Fail-safe ⁽⁹⁾ 支持	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
LQFP64	LQFP80	LQFP100	LQFP128						默认	重定义
12	14	19	25	VSSA	S	-	-	VSSA	-	-
		20	26	VREF-	S	-	-	VREF-	-	-
13	15	21	27	VREF+	S	-	-	VREF+	-	-
		22	28	VDDA	S	-	-	VDDA	-	-
14	16	23	29	PA0-WKUP	I/O	TTa	No	PA0	WKUP USART2_CTS(9) ADC1_IN1 TIM2_CH1_ETR TIM5_CH1 TIM8_ETR COMP1_OUT	COMP1_INM SPI3_MISO
15	17	24	30	PA1	I/O	TTa	No	PA1	USART2_RTS(9) ADC1_IN2 TIM5_CH2 TIM2_CH2(9)	COMP1_INP OPAMP1_VINP OPAMP3_VINP SPI3_MOSI I2S3_SD
16	18	25	31	PA2	I/O	TTa	No	PA2	USART2_TX(9) TIM5_CH3 ADC12_IN11 TIM2_CH3 (9)	OPAMP1_VINM OPAMP2_VINM COMP3_OUT
17	19	26	32	PA3	I/O	TTa	No	PA3	USART2_RX(9) TIM5_CH4 ADC1_IN4 TIM2_CH4(9)	OPAMP1_VINM OPAMP1_VINP COMP5_INP
18	20	27	33	VSS_10	S	-	-	VSS_10	-	-
19	21	28	34	VDD_10	S	-	-	VDD_10	-	-
20	22	29	35	PA4	I/O	TTa	No	PA4	SPI1_NSS(9) USART2_CK(9) DAC_OUT1 ADC2_IN1 QSPI_NSS TSC_CHN0	COMP1_INM COMP2_INM COMP3_INM COMP4_INM COMP5_INM COMP6_INM COMP7_INM OPAMP4_VINP I2C2_SCL
21	23	30	36	PA5	I/O	TTa	No	PA5	SPI1_SCK(9) DAC_OUT2 ADC2_IN2 QSPI_SCK TSC_CHN1	COMP1_INM COMP2_INM COMP3_INM COMP4_INM COMP5_INM COMP6_INM COMP7_INM OPAMP1_VINP OPAMP2_VINM OPAMP3_VINP I2C2_SDA
22	24	31	37	PA6	I/O	TTa	No	PA6	SPI1_MISO(9) TIM8_BKIN ADC1_IN3 TIM3_CH1(9) QSPI_IO0 COMP2_OUT	TIM1_BKIN OPAMP1_VOUT

封装				管脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	Fail-safe ⁽⁹⁾ 支持	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
LQFP64	LQFP80	LQFP100	LQFP128						默认	重定义
23	25	32	38	PA7	I/O	TTa	No	PA7	SPI1_MOSI(9) TIM8_CH1N ADC2_IN4 TIM3_CH2(9) QSPI_IO1	TIM1_CH1N COMP2_INP OPAMP1_VINP OPAMP2_VINP COMP6_INM COMP2_OUT
24	26	33	39	PC4	I/O	TTa	No	PC4	ADC2_IN5 QSPI_IO2 UART7_TX	I2C3_SCL OPAMP3_VINM COMP4_INM COMP5_INP
25	27	34	40	PC5	I/O	TTa	No	PC5	ADC2_IN12 QSPI_IO3 UART7_RX COMP4_OUT	I2C3_SDA OPAMP4_VINP COMP6_INP
26	28	35	41	PB0	I/O	TTa	No	PB0	ADC3_IN12 TIM3_CH3 TIM8_CH2N COMP5_OUT	TIM1_CH2N UART6_TX OPAMP2_VINP COMP3_INP
27	29	36	42	PB1	I/O	TTa	No	PB1	ADC2_IN3 TIM3_CH4(9) TIM8_CH3N	TIM1_CH3N OPAMP2_VOUT UART6_RX COMP2_INM COMP1_OUT
-	-	-	43	VSS_9	S	-	-	VSS_9	-	-
-	-	-	44	VDD_9	S	-	-	VDD_9	-	-
28	30	37	45	PB2	I/O	TTa	No	PB2/BOOT1	ADC2_IN13	UART4_TX SPI1_NSS
-	-	-	46	PF12	I/O	FT	Yes	PF12	XFMC_A6	
-	-	-	47	PF13	I/O	FT	Yes	PF13	XFMC_A7	
-	-	-	48	PF14	I/O	FT	Yes	PF14	XFMC_A8	
-	-	-	49	PF15	I/O	FT	Yes	PF15	XFMC_A9	
-	31	38	50	PE7	I/O	TTa	No	PE7	XFMC_D4 ADC3_IN13	TIM1_ETR UART4_RX SPI1_SCK COMP3_INM
-	32	39	51	PE8	I/O	TTa	No	PE8	XFMC_D5 ADC34_IN6	TIM1_CH1N UART5_TX SPI1_MISO OPAMP2_VINP COMP2_INM
-	33	40	52	PE9	I/O	TTa	No	PE9	XFMC_D6 ADC3_IN2	TIM1_CH1 UART5_RX SPI1_MOSI
-	-	-	53	VSS_8	S	-	-	VSS_8	-	-
-	-	-	54	VDD_8	S	-	-	VDD_8	-	-
-	34	41	55	PE10	I/O	TTa	No	PE10	XFMC_D7 ADC3_IN14	TIM1_CH2N SPI2_NSS I2S2_WS
-	35	42	56	PE11	I/O	TTa	No	PE11	XFMC_D8 ADC3_IN15	TIM1_CH2 SPI2_SCK I2S2_CK
-	36	43	57	PE12	I/O	TTa	No	PE12	XFMC_D9 ADC3_IN4	TIM1_CH3N SPI2_MISO

封装				管脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	Fail-safe ⁽⁹⁾ 支持	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
LQFP64	LQFP80	LQFP100	LQFP128						默认	重定义
-	37	44	58	PE13	I/O	TTa	No	PE13	XFMC_D10 ADC3_IN3	TIM1_CH3 SPI2_MOSI I2S2_SD
-	-	45	59	PE14	I/O	TTa	No	PE14	XFMC_D11 ADC4_IN1	TIM1_CH4
-	-	46	60	PE15	I/O	TTa	No	PE15	XFMC_D12 ADC4_IN2	TIM1_BKIN
29	38	47	61	PB10	I/O	TTa	Yes	PB10	I2C2_SCL USART3_TX(9) COMP3_OUT	TIM2_CH3 COMP5_INM OPAMP3_VINM OPAMP4_VINM XFMC_D11 COMP1_INP
30	39	48	62	PB11	I/O	TTa	No	PB11	I2C2_SDA USART3_RX(9) ADC3_IN1	TIM2_CH4 XFMC_D12 OPAMP3_VOUT COMP2_INP COMP5_OUT
31	40	49	63	VSS_7	S	-	-	VSS_7	-	-
32	41	50	64	VDD_7	S	-	-	VDD_7	-	-
33	42	51	65	PB12	I/O	TTa	No	PB12	SPI2_NSS I2S2_WS I2C2_SMBA USART3_CK(9) TIM1_BKIN(9) CAN2_RX ADC4_IN3	COMP3_INM OPAMP4_VOUT COMP4_OUT
34	43	52	66	PB13	I/O	TTa	No	PB13	SPI2_SCK I2S2_CK USART3_CTS(9) TIM1_CH1N CAN2_TX ADC3_IN5	UART5_TX COMP4_INM
35	44	53	67	PB14	I/O	TTa	No	PB14	SPI2_MISO TIM1_CH2N USART3_RTS(9) ADC4_IN4 TSC_CHN2	COMP3_INP UART5_RX
36	45	54	68	PB15	I/O	TTa	No	PB15	SPI2_MOSI I2S2_SD TIM1_CH3N(9) ADC4_IN5 TSC_CHN3	COMP4_INP
-	46	55	69	PD8	I/O	TTa	No	PD8	XFMC_D13 ADC4_IN12 TSC_CHN4	USART3_TX OPAMP4_VINM SPI3_NSS I2S3_WS CAN1_RX COMP6_INM
-	47	56	70	PD9	I/O	TTa	No	PD9	XFMC_D14 ADC4_IN13 TSC_CHN5	USART3_RX SPI3_SCK I2S3_CK CAN1_TX COMP6_INP

封装				管脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	Fail-safe ⁽⁹⁾ 支持	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
LQFP64	LQFP80	LQFP100	LQFP128						默认	重定义
-	48	57	71	PD10	I/O	TTa	No	PD10	XFMC_D15 ADC34_IN7	USART3_CK CAN2_RX COMP5_INM
-	-	58	72	PD11	I/O	TTa	No	PD11	XFMC_A16 ADC34_IN8 TSC_CHN6	USART3_CTS CAN2_TX SPI3_MISO
-	-	59	73	PD12	I/O	TTa	No	PD12	XFMC_A17 ADC34_IN9 TSC_CHN7	TIM4_CH1 USART3_RTS SPI3_MOSI I2S3_SD COMP7_OUT
-	-	-	74	VSS_6	S	-	-	VSS_6	-	-
-	-	-	75	VDD_6	S	-	-	VDD_6	-	-
-	-	60	76	PD13	I/O	TTa	No	PD13	XFMC_A18 ADC34_IN10	TIM4_CH2
-	49	61	77	PD14	I/O	TTa	No	PD14	XFMC_D0 ADC34_IN11	TIM4_CH3 I2C4_SCL TIM8_CH1
-	50	62	78	PD15	I/O	FT	Yes	PD15	XFMC_D1	TIM4_CH4 I2C4_SDA TIM8_CH2
-	-	-	79	PG0	I/O	FT	Yes	PG0	XFMC_A10	UART7_TX
-	-	-	80	PG1	I/O	FT	Yes	PG1	XFMC_A11	UART7_RX
-	-	-	81	PG2	I/O	FT	Yes	PG2	XFMC_A12	I2C2_SCL
-	-	-	82	PG3	I/O	FT	Yes	PG3	XFMC_A13	I2C2_SDA
-	-	-	83	VSS_4	S	-	-	VSS_4	-	-
-	-	-	84	VDD_4	S	-	-	VDD_4	-	-
37	51	63	85	PC6	I/O	TTa	Yes	PC6	I2S2_MCK TIM8_CH1 I2C4_SCL TSC_CHN8	TIM3_CH1 SPI2_NSS I2S2_WS USART2_CTS XFMC_A16
38	52	64	86	PC7	I/O	TTa	Yes	PC7	I2S3_MCK TIM8_CH2 I2C4_SDA TSC_CHN9	TIM3_CH2 SPI2_SCK I2S2_CK USART2_RTS XFMC_A17
39	53	65	87	PC8	I/O	TTa	Yes	PC8	TIM8_CH3 TSC_CHN10	TIM3_CH3 SPI2_MISO USART2_TX
40	54	66	88	PC9	I/O	TTa	Yes	PC9	TIM8_CH4 TSC_CHN11 COMP6_OUT	TIM3_CH4 SPI2_MOSI I2S2_SD USART2_RX XFMC_NOE OPAMP3_INP OPAMP4_INM COMP3_INP4
41	55	67	89	PA8	I/O	FT	Yes	PA8	USART1_CK TIM1_CH1(9) MCO	-
42	56	68	90	PA9	I/O	FT	Yes	PA9	USART1_TX(9) TIM1_CH2(9) TSC_DOUT	I2C4_SCL
43	57	69	91	PA10	I/O	FT	Yes	PA10	USART1_RX(9) TIM1_CH3(9)	I2C4_SDA XFMC_MWE

封装				管脚名称	管脚 类型 ⁽¹⁾	I/O 电平 ⁽²⁾	Fail- safe ⁽⁹⁾ 支持	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
LQFP64	LQFP80	LQFP100	LQFP128						默认	重定义
44	58	70	92	PA11	I/O	FT	Yes	PA11	USART1_CTS CAN1_RX(9) TIM1_CH4(9)	COMP5_OUT COMP1_OUT
45	59	71	93	PA12	I/O	FT	Yes	PA12	USART1_RTS CAN1_TX(9) TIM1_ETR(9)	COMP6_OUT COMP2_OUT
46	60	72	94	PA13	I/O	FT	Yes	JTMS	-	PA13 UART4_TX
-	-	73	-	Not connected	-	-	-	-	-	-
47	61	74	95	VSS_5	S	-	-	VSS_5	-	-
48	62	75	96	VDD_5	S	-	-	VDD_5	-	-
49	63	76	97	PA14	I/O	FT	Yes	JTCK	-	PA14 UART4_RX
50	64	77	98	PA15	I/O	FT	Yes	JTDI	SPI3_NSS I2S3_WS	TIM2_CH1_ETR PA15 SPI1_NSS USART2_CTS TIM8_CH1N
51	65	78	99	PC10	I/O	TTa	Yes	PC10	UART4_TX TSC_CHN12	USART3_TX SPI3_SCK I2S3_CK QSPI_NSS COMP3_OUT
52	66	79	100	PC11	I/O	TTa	Yes	PC11	UART4_RX TSC_CHN13	USART3_RX SPI3_MISO QSPI_SCK COMP4_OUT
53	67	80	101	PC12	I/O	TTa	Yes	PC12	UART5_TX TSC_CHN14	USART3_CK SPI3_MOSI I2S3_SD QSPI_IO0 TIM8_CH2N
-	68	81	102	PD0	I/O	FT	Yes	PD0	XFMC_D2(11)	CAN1_RX UART4_TX QSPI_IO1
-	69	82	103	PD1	I/O	FT	Yes	PD1	XFMC_D3(11)	CAN1_TX UART4_RX QSPI_IO2
54	70	83	104	PD2	I/O	TTa	Yes	PD2	TIM3_ETR UART5_RX TSC_CHN15	SPI3_NSS I2S3_WS QSPI_IO3 TIM8_CH3N
-	-	84	105	PD3	I/O	FT	Yes	PD3	XFMC_CLK	USART2_CTS
-	-	85	106	PD4	I/O	TTa	Yes	PD4	XFMC_NOE TSC_CHN16	USART2_RTS
-	-	-	107	VSS_3	S	-	-	VSS_3	-	-
-	-	-	108	VDD_3	S	-	-	VDD_3	-	-
-	-	86	109	PD5	I/O	TTa	Yes	PD5	XFMC_NWE TSC_CHN17	USART2_TX
-	-	87	110	PD6	I/O	TTa	Yes	PD6	XFMC_NWAIT TSC_CHN18	USART2_RX
-	-	88	111	PD7	I/O	TTa	Yes	PD7	XFMC_NE1 XFMC_NCE2 TSC_CHN19	USART2_CK

封装				管脚名称	管脚 类型 ⁽¹⁾	I/O 电平 ⁽²⁾	Fail- safe ⁽⁹⁾ 支持	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
LQFP64	LQFP80	LQFP100	LQFP128						默认	重定义
-	-	-	112	PG4	I/O	FT	Yes	PG4	XFMC_A14	-
-	-	-	113	PG5	I/O	FT	Yes	PG5	XFMC_A15	-
-	-	-	114	PG9	I/O	FT	Yes	PG9	XFMC_NE2 XFMC_NCE3	-
-	-	-	115	VSS_2	S	-	-	VSS_2	-	-
-	-	-	116	VDD_2	S	-	-	VDD_2	-	-
55	71	89	117	PB3	I/O	FT	Yes	JTDO	SPI3_SCK I2S3_CK	PB3 TRACE_IVALID TIM2_CH2 SPI1_SCK USART2_RTS TIM8_BKIN
56	72	90	118	PB4	I/O	FT	Yes	-	SPI3_MISO	PB4 TIM3_CH1 SPI1_MISO USART2_TX TIM8_ETR
57	73	91	119	PB5	I/O	FT	Yes	PB5	I2C1_SMBA SPI3_MOSI I2S3_SD	TIM3_CH2 SPI1_MOSI CAN2_RX USART2_RX TIM1_BKIN
58	74	92	120	PB6	I/O	TTa	Yes	PB6	I2C1_SCL(9) TIM4_CH1(9) TSC_CHN20	USART1_TX CAN2_TX COMP5_OUT XFMC_NE2 XFMC_NCE3
59	75	93	121	PB7	I/O	TTa	Yes	PB7	I2C1_SDA(9) XFMC_NADV TIM4_CH2(9) TSC_CHN21	USART1_RX COMP6_OUT
60	76	94	122	PB8	I/O	TTa	Yes	PB8	TIM4_CH3(9) TSC_CN22	I2C1_SCL CAN1_RX UART5_TX XFMC_NWAIT COMP1_OUT
61	77	95	123	PB9	I/O	TTa	Yes	PB9	TIM4_CH4(9) TSC_CHN23	I2C1_SDA CAN1_TX UART5_RX XFMC_NE1 XFMC_NCE2 COMP2_OUT
62	78	96	124	NRST	I	-	-	NRST	-	-
-	-	97	125	PE0	I/O	FT	Yes	PE0	TIM4_ETR XFMC_NBL0	-
-	-	98	126	PE1	I/O	FT	Yes	PE1	XFMC_NBL1	-
63	79	99	127	VSS_3	S	-	-	VSS_3	-	-
64	80	100	128	VDD_3	S	-	-	VDD_3	-	-

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻
2. FT: 容忍5V
3. 有些功能仅在部分型号芯片中支持。
4. PC13, PC14和PC15引脚通过电源开关进行供电, 而这个电源开关只能吸收有限的电流(3mA)。因此这三个引脚作为输出引脚时有以下限制: 在同一时间只有一个引脚能作为输出, 作为输出脚时只能工作在2MHz模式下, 最大驱动负载为30pF, 并且不能作为电流源(如驱动LED)。
5. 这些引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复

位系统所复位)。关于如何控制这些IO口的具体信息,请参考CM32M4xxR用户参考手册的电池备份区域和BKP寄存器的相关章节。

6. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚),详细信息请参考CM32M4xxR用户参考手册的复用功能I/O章节和调试设置章节。
7. LQFP64封装的引脚5和引脚6在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚。软件可以重新设置这两个引脚为PD0和PD1功能。但对于LQFP100封装,由于PD0和PD1为固有的功能引脚,因此没有必要再由软件进行重映像设置。更多详细信息请参考CM32M4xxR用户参考手册的复用功能I/O章节和调试设置章节。
8. LPFP64封装的产品, XFMC功能仅支持LCD显示, 不支持内部扩展。

注: 表中的引脚名称标注中出现的ADC12_INx(x表示4~9或14~15之间的整数), 表示这个引脚可以是ADC1_INx或ADC2_INx。例如: ADC12_IN9表示这个引脚可以配置为ADC1_IN9, 也可以配置为ADC2_IN9。

同样, 表中的引脚名称标注中出现的ADC123_INx(x表示0~3或10~13之间的整数), 表示这个引脚可以是ADC1_INx或ADC2_INx或ADC3_INx。

表中的引脚PA0 对应的复用功能中的TIM2_CH1_ETR, 表示可以配置该功能为TIM2_TI1 或TIM2_ETR。同理, PA15对应的重映射复用功能的名称TIM2_CH1_ETR, 具有相同的意义。

表3-2 XFMC引脚定义

管脚	XFMC		
	NOR/SRAM/PSRAM	NOR/PSRAM Mux	NAND
PE2	A23	A23	
PE3	A19	A19	
PE4	A20	A20	
PE5	A21	A21	
PE6	A22	A22	
PF0	A0		
PF1	A1		
PF2	A2		
PF3	A3		
PF4	A4		
PF5	A5		
PF12	A6		
PF13	A7		
PF14	A8		
PF15	A9		
PG0	A10		
PG1	A11		
PE7	D4	DA4	D4
PE8	D5	DA5	D5
PE9	D6	DA6	D6
PE10	D7	DA7	D7
PE11	D8	DA8	D8
PE12	D9	DA9	D9
PE13	D10	DA10	D10
PE14/PB10	D11	DA11	D11
PE15/PB11	D12	DA12	D12
PD8	D13	DA13	D13

PD9	D14	DA14	D14
PD10	D15	DA15	D15
PD11/PC6	A16	A16	CLE
PD12/PC7	A17	A17	ALE
PD13	A18	A18	
PD14	D0	DA0	D0
PD15	D1	DA1	D1
PG2	A12		
PG3	A13		
PG4	A14		
PG5	A15		
PD0	D2	DA2	D2
PD1	D3	DA3	D3
PD3	CLK	CLK	
PD4/PC9	NOE	NOE	NOE
PD5/PA10	NWE	NWE	NWE
PD6/PB8	NWAIT	NWAIT	NWAIT
PD7/PB9	NE1	NE1	NCE2
PG9/PB6	NE2	NE2	NCE3
PB7	NADV	NADV	
PE0	NBL0	NBL0	
PE1	NBL1	NBL1	

4 电气特性

4.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

4.1.1 最小和最大数值

除非特别说明，在生产线上通过对100%的产品在环境温度 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试 (T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布 ($\text{平均} \pm 3\sigma$) 得到。

4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.3\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的ADC精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值 ($\text{平均} \pm 2\sigma$)。

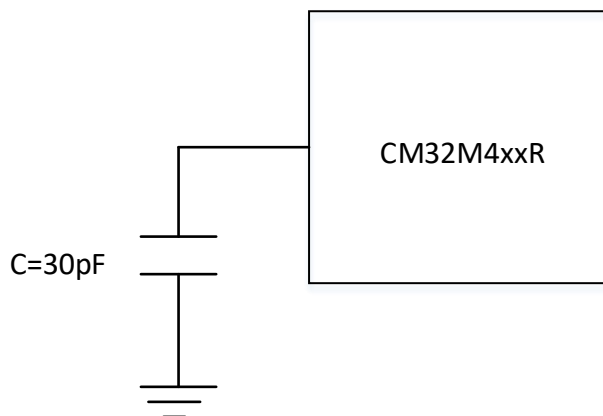
4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

4.1.4 负载电容

测量引脚参数时的负载条件示于图4-1中。

图4-1 引脚的负载条件



4.1.5 引脚输入电压

引脚上输入电压的测量方式示于图4-2中。

图4-2 引脚输入电压

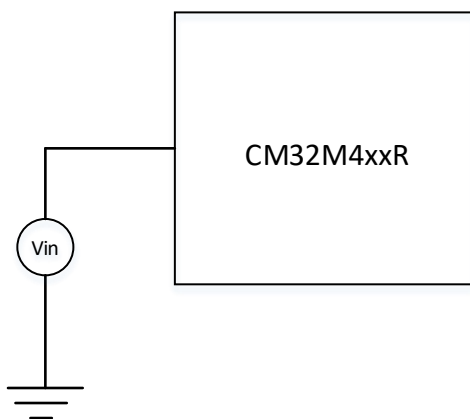
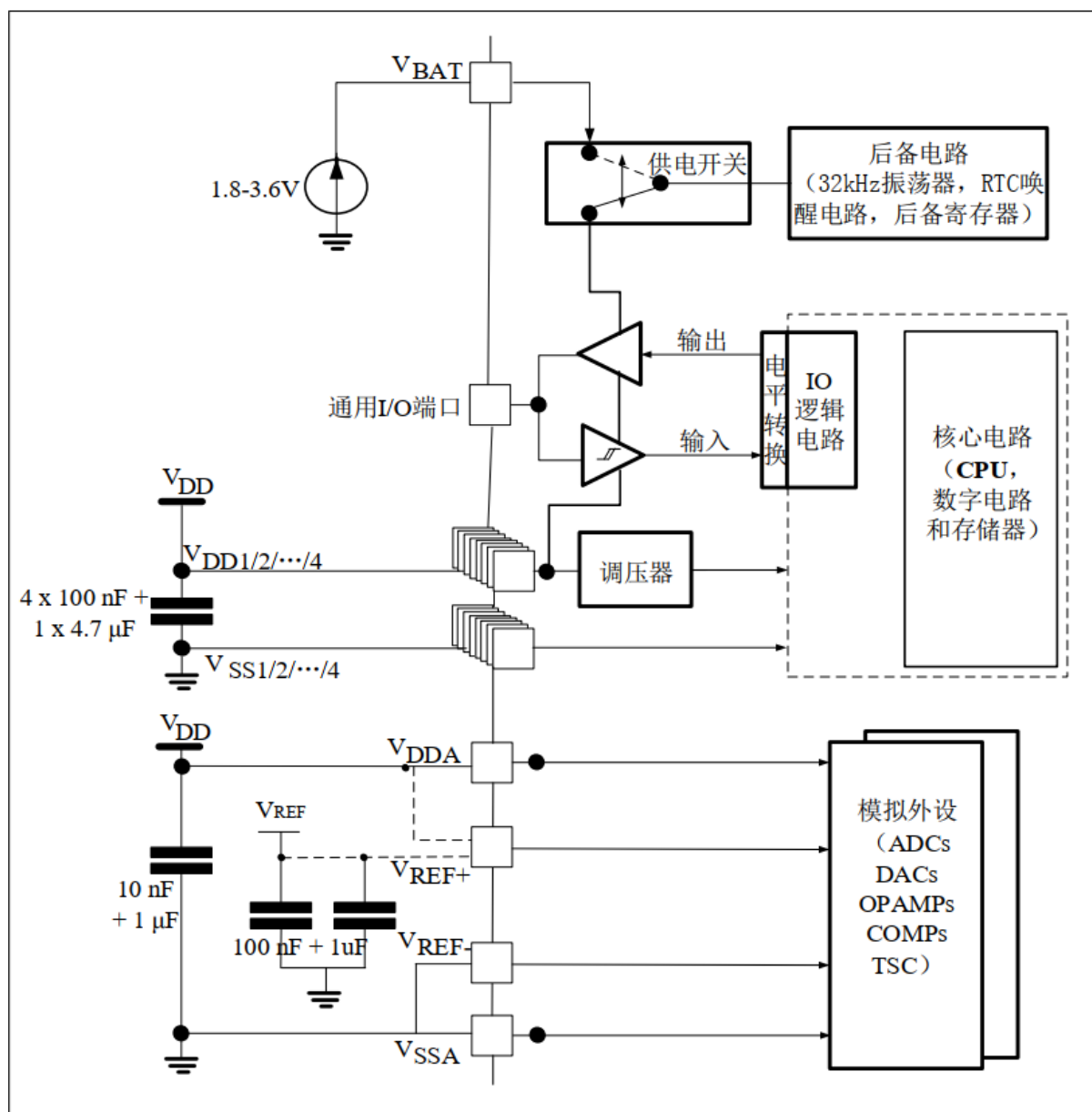


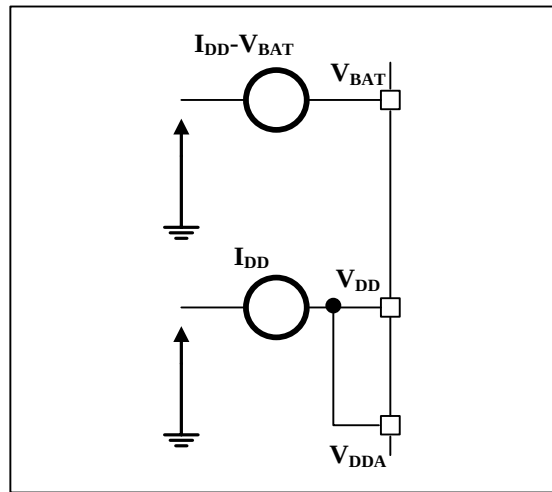
图4-3 供电方案



注：上图中的4.7 μ F电容必须连接到V_{DD1}。

4.1.7 电流消耗测量

图4-4 电流消耗测量方案



4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表4-1、表4-2、表4-3)中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	-0.3	4.0	V
V_{IN}	在5V容忍的引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	5.5	
	在其它引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD} + 0.3$	
$ \Delta V_{DDx} $	不同 V_{DD} 供电引脚之间的电压差(不包含 V_{DDA})	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	参见第4.3.12节		

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- $I_{INJ(PIN)}$ 绝对不可以超过它的极限(见表4-2)，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{INmax}$ 时，有一个正向注入电流；当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流。

表4-2 电流特性

符号	描述	最大值 ⁽¹⁾	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾	TBD	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾	TBD	
I_{IO}	任意I/O和控制引脚上的灌电流	25	
	任意I/O和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}^{(2)(3)}$	NRST引脚的注入电流	+5/-0	
	其他引脚的注入电流 ⁽⁴⁾	+/-5	
$\sum I_{INJ(PIN)}^{(2)}$	所有I/O和控制引脚上的总注入电流 ⁽⁴⁾	TBD	

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限, 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。参看第4.3.20节。
4. 当几个I/O口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件4个I/O端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表4-3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-40 ~ + 125	°C
T_J	最大结温度	125	°C

4.3 工作条件

4.3.1 通用工作条件

表4-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率	-	0	144	MHz
f_{PCLK1}	内部APB1时钟频率	-	0	36	
f_{PCLK2}	内部APB2时钟频率	-	0	72	
V_{DD}	标准工作电压	-	1.8	3.6	V
V_{DDA}	模拟部分工作电压	必须与 $V_{DD}^{(1)}$ 相同	1.8	3.6	V
V_{BAT}	备份部分工作电压	-	1.8	3.6	V
T_A	环境温度(温度标号7)	最大功率消耗	-40	105	°C
T_J	结温度范围	温度标号7	-40	125	°C

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电, 在上电和正常操作期间, V_{DD} 和 V_{DDA} 之间最多允许有300mV的差别。
2. 如果 T_A 较低, 只要 T_J 不超过 T_{Jmax} , 则允许更高的PD数值。

4.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表4-4列出的环境温度下测试得出。

表4-5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		20	∞	$\mu s/V$
	V_{DD} 下降速率		80	∞	

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

表4-6 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

V _{PVD}	可编程的电压检测器的电平选择(PWR_CTRL的MSB为0)	PLS[2:0]=000 (上升沿)	2.09	2.18	2.27	V
		PLS[2:0]=000 (下降沿)	2.03	2.11	2.19	V
		PLS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PLS[2:0]=001 (下降沿)	2.11	2.20	2.29	V
		PLS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PLS[2:0]=010 (下降沿)	2.21	2.30	2.39	V
		PLS[2:0]=011 (上升沿)	2.39	2.49	2.59	V
		PLS[2:0]=011 (下降沿)	2.30	2.40	2.50	V
		PLS[2:0]=100 (上升沿)	2.49	2.60	2.71	V
		PLS[2:0]=100 (下降沿)	2.40	2.51	2.62	V
		PLS[2:0]=101 (上升沿)	2.58	2.69	2.80	V
		PLS[2:0]=101 (下降沿)	2.50	2.61	2.72	V
		PLS[2:0]=110 (上升沿)	2.67	2.79	2.91	V
		PLS[2:0]=110 (下降沿)	2.58	2.70	2.82	V
		PLS[2:0]=111 (上升沿)	2.77	2.89	3.01	V
		PLS[2:0]=111 (下降沿)	2.68	2.80	2.92	V
V _{PVD}	可编程的电压检测器的电平选择(PWR_CTRL的MSB为1)	PLS[2:0]=000 (上升沿)	1.70	1.78	1.86	V
		PLS[2:0]=000 (下降沿)	1.61	1.69	1.77	V
		PLS[2:0]=001 (上升沿)	1.80	1.88	1.96	V
		PLS[2:0]=001 (下降沿)	1.72	1.80	1.88	V
		PLS[2:0]=010 (上升沿)	1.91	1.99	2.07	V
		PLS[2:0]=010 (下降沿)	1.82	1.90	1.98	V
		PLS[2:0]=011 (上升沿)	2.01	2.10	2.19	V
		PLS[2:0]=011 (下降沿)	1.91	2.00	2.09	V
		PLS[2:0]=100 (上升沿)	3.16	3.30	3.44	V
		PLS[2:0]=100 (下降沿)	3.08	3.22	3.36	V
		PLS[2:0]=101 (上升沿)	3.26	3.40	3.54	V
		PLS[2:0]=101 (下降沿)	3.17	3.31	3.45	V
		PLS[2:0]=110 (上升沿)	3.37	3.51	3.65	V
		PLS[2:0]=110 (下降沿)	3.28	3.42	3.56	V
		PLS[2:0]=111 (上升沿)	3.46	3.60	3.74	V
		PLS[2:0]=111 (下降沿)	3.39	3.53	3.67	V
V _{PVDhyst} ⁽²⁾	PVD迟滞		-	100	-	mV
V _{POR}	VDD上电/下电 复位阈值		-	1.64/1.62	-	V
T _{RSTTEMPO} ⁽²⁾	复位持续时间		-	0.8	4	ms

1. 产品的特性由设计保证至最小的数值V_{POR/PDR}。
2. 由设计保证，不在生产中测试。

4.3.4 内置的参考电压

下表中给出的参数是依据表4-4列出的环境温度下和V_{DD}供电电压下测试得出。

表4-7 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参照电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.20	1.26	V
		$-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$	1.16	1.20	1.24	V
$T_{S_vrefint}^{(1)}$	当读出内部参照电压时, ADC的采样时间	PLS[2:0]=001 (上升沿)	-	5.1	17.1 ⁽²⁾	μs

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证, 不在生产中测试。

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标, 这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明, 详见图4-4。

本节中给出的所有运行模式下的电流消耗测量值, 都是在执行一套精简的代码, 能够得到Dhrystone 2.1代码等效的结果。

最大电流消耗

微控制器处于下列条件:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~32MHz时为0个等待周期, 32~64MHz时为1个等待周期, 64~96MHz时为2个等待周期, 96~128MHz时为3个等待周期, 超过128MHz时为4个等待周期)。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时: $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$ 。

表4-8、和表4-9中给出的参数, 是依据表4-4列出的环境温度下和 V_{DD} 供电电压下测试得出。

表4-8 运行模式下的最大电流消耗, 数据处理代码从内部闪存中运行

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾	单位
				$T_A = 105^{\circ}\text{C}$	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾ , 使能所有外设	144MHz	32	mA
			72MHz	18	
			36MHz	11	
		外部时钟 ⁽²⁾ , 关闭所有外设	144MHz	15.8	
			72MHz	9.7	
			36MHz	6.7	

1. 由综合评估得出, 不在生产中测试。
2. 外部时钟为8MHz, 当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。

表4-9 睡眠模式下的最大电流消耗, 代码运行在Flash或RAM中

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾	单位
				$T_A = 105^{\circ}\text{C}$	
I_{DD}	睡眠模式下	外部时钟 ⁽²⁾ , 使	144MHz	27	mA

	的供应电流	能所有外设	72MHz	15.5	
			36MHz	10	
	外部时钟 ⁽²⁾ , 关闭所有外设		144MHz	9.2	
			72MHz	6.6	
			36MHz	5.1	

1. 由综合评估得出, 在生产中以 V_{DDmax} 和以 $f_{HCLKmax}$ 使能外设为条件测试。
2. 外部时钟为8MHz, 当 $f_{HCLK} > 8MHz$ 时启用PLL。

表4-10 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值 ⁽¹⁾	最大值	单位
			$V_{DD}/V_{BAT} = 3.3V$	$T_A = 105^{\circ}C$	
I_{DD}	停机模式0 (STOP0) 下的供应电流	调压器处于运行模式, 低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	300	T.B.D	μA
		调压器处于低功耗模式, 低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	150	T.B.D	
	停机模式2 (STOP2) 下的供应电流	外部低速时钟开启, RTC运行, R-SRAM保持, 所有I/O状态保持, 独立看门狗处于关闭状态	10	T.B.D	
	待机模式 (STANDBY) 下的供应电流	低速内部RC振荡器和独立看门狗处于开启状态	3	T.B.D	
		低速内部RC振荡器处于开启状态, 独立看门狗处于关闭状态	2.9	-	
		低速内部RC振荡器和独立看门狗处于关闭状态, 低速振荡器和RTC 处于关闭状态	2.7	T.B.D ⁽²⁾	
I_{DD_VBAT}	备份区域 (VBAT) 的供应电流	低速振荡器和RTC处于开启状态	2	T.B.D ⁽²⁾	

1. 典型值是在 $T_A = 25^{\circ}C$ 下测试得到。
2. 由综合评估得出, 不在生产中测试。

典型的电流消耗

MCU处于下述条件下:

- 所有的I/O引脚都处于输入模式, 并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~32MHz时为0个等待周期, 32~64MHz时为1个等待周期, 64~96MHz时为2个等待周期, 96~128MHz时为3个等待周期, 超过128MHz时为4个等待周期)。
- 环境温度和 V_{DD} 供电电压条件列于表4-4。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。当开启外设时: $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$, $f_{ADCCLK} = f_{PCLK2}/4$ 。

表4-11 运行模式下的典型电流消耗，数据处理代码从内部Flash中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	运行模式下的供应电流	外部时钟 ⁽³⁾	144MHz	30.3	14.2	mA
			72MHz	17	8.1	
			36MHz	9.3	5.3	
		运行于高速内部RC振荡器(HSI)，使用AHB预分频以减低频率	128MHz	30	12.7	mA
			72MHz	22.5	7.2	
			36MHz	8.8	3.9	

1. 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. 每个模拟部分的ADC要增加额外的0.8mA电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC_CTRL2寄存器的ON位)时才会增加。
3. 外部时钟为8MHz，当 $f_{HCLK}>8\text{MHz}$ 时启用PLL。

表4-12 睡眠模式下的典型电流消耗，数据处理代码从内部Flash或RAM中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	睡眠模式下的供应电流	外部时钟 ⁽³⁾	144MHz	25.3	8	mA
			72MHz	13.9	5.3	
			36MHz	8	3.6	
		运行于高速内部RC振荡器(HSI)，使用AHB预分频以减低频率	128MHz	24.2	6.1	mA
			72MHz	13.9	3.5	
			36MHz	7.2	2.2	

1. 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. 每个模拟部分的ADC要增加额外的0.8mA电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC_CTRL2寄存器的ON位)时才会增加。
3. 外部时钟为8MHz，当 $f_{HCLK}>8\text{MHz}$ 时启用PLL。

4.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表4-4的条件。

表4-13 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾		4	8	32	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN高或低的时间 ⁽¹⁾		16	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN上升或下降的时间 ⁽¹⁾		-	-	20	
$C_{in(HSE)}$	OSC_IN输入容抗 ⁽¹⁾		-	5	-	pF
$DuCy_{(HSE)}$	占空比		45	-	55	%

I_L	OSC_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA
-------	-------------	----------------------------------	---	---	---------	---------

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表4-4表的条件。

表4-14 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾		0	32.768	1000	KHz
V_{LSEH}	OSC32_IN输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC32_IN高或低的时间 ⁽¹⁾		450	-	-	ns
$t_{r(LSE)}t_{f(LSE)}$	OSC32_IN上升或下降的时间 ⁽¹⁾		-	-	50	
$DuCy_{(LSE)}$	占空比		30	-	70	%
I_L	OSC32_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计保证，不在生产中测试。

图4-5 外部高速时钟源的交流时序图

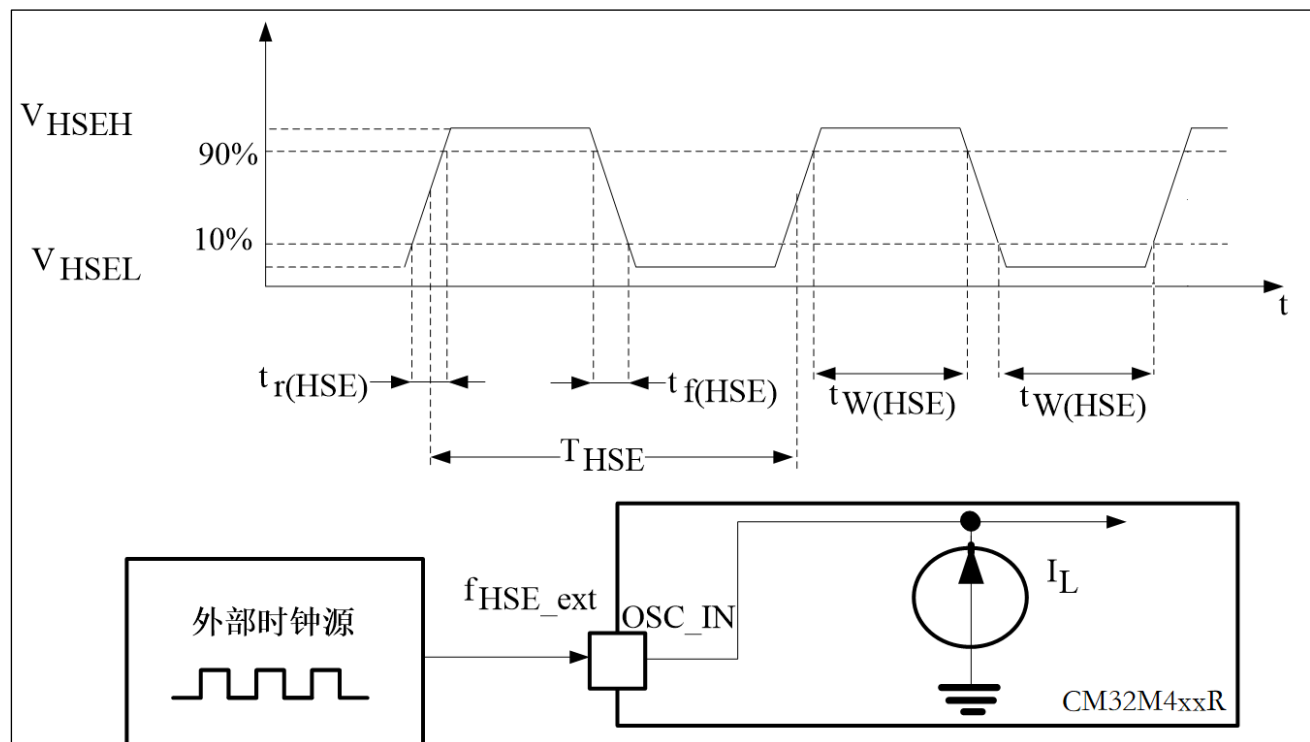
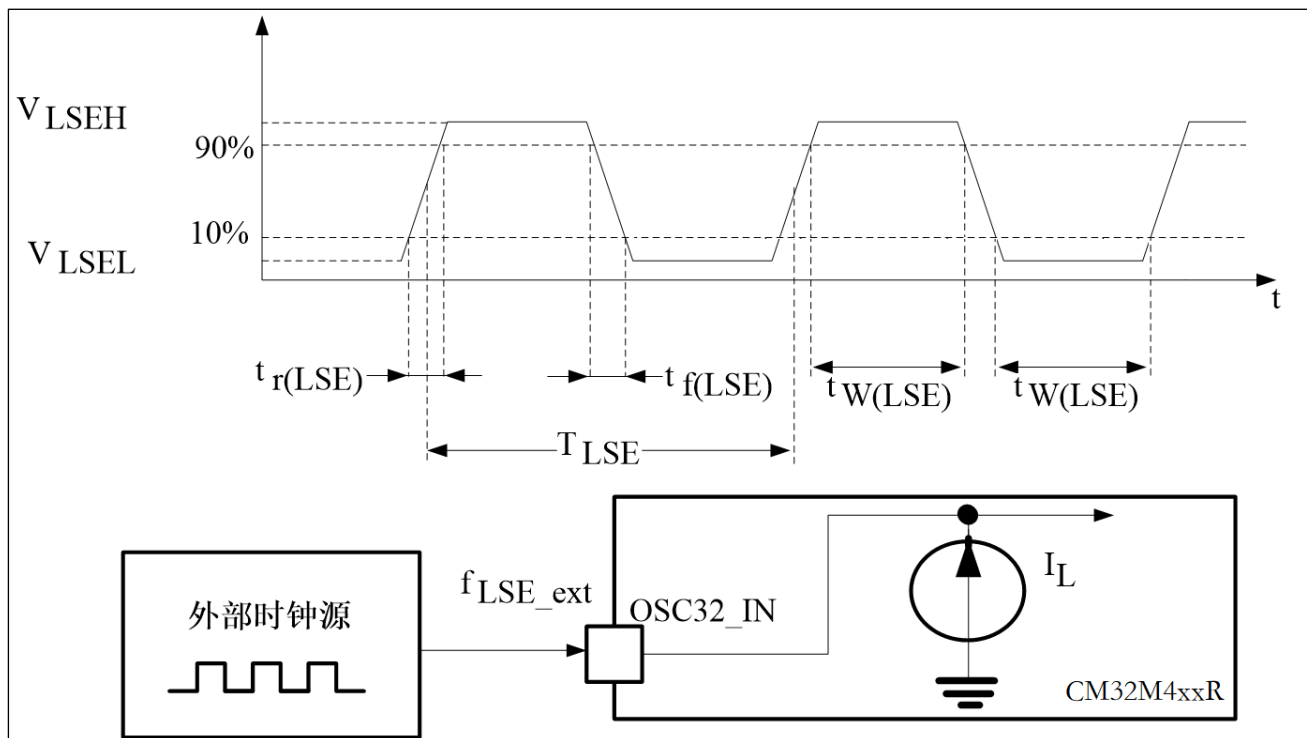


图4-6 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

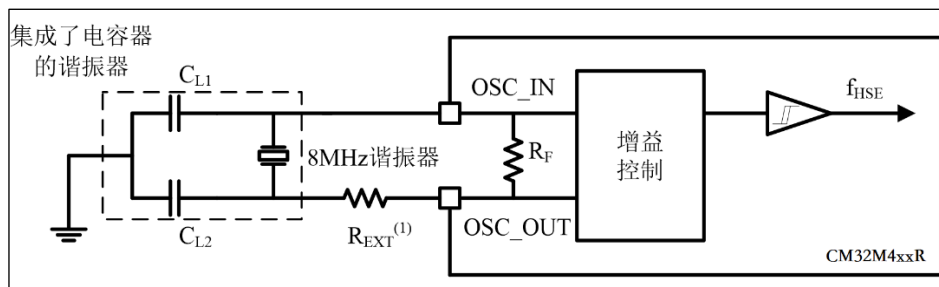
高速外部时钟(HSE)可以使用一个4~32MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

表4-15 HSE 4~32MHz振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		4	8	32	MHz
R_F	反馈电阻		-	160	-	k Ω
C_{L1} $C_{L2}^{(3)}$	建议的负载电容与对应的晶体串行阻抗(R_s)(⁴)	$R_s = 30\Omega$	-	20	-	pF
i_2	HSE驱动电流	$V_{DD}=3.3V$, $V_{IN}=V_{SS}$ 30pF负载	-	1.3	1.6	mA
g_m	振荡器的跨导	启动	-	10	-	mA/V
$t_{SU(HSE)}^{(5)}$	启动时间	V_{DD} 是稳定的	-	3	5	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的(典型值为)5pF~25pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB和MCU引脚的容抗应该考虑在内(可以粗略地把引脚与PCB板的电容按10pF估计)。
4. 相对较低的 R_F 电阻值，能够可以避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果MCU是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图4-7 使用8MHz晶体的典型应用



1. R_{EXT} 数值由晶体的特性决定。典型值是5至6倍的 R_S 。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768KHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(这里提到的晶体谐振器就是我们通常说的无源晶振)

注意：对于 C_{L1} 和 C_{L2} ，建议使用高质量的5pF~15pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和PCB板或PCB相关的电容，它的典型值是介于2pF至7pF之间。

警告：为了避免超出 C_{L1} 和 C_{L2} 的最大值(15pF)，强烈建议使用负载电容 $C_L \leq 7pF$ 的谐振器，不能使用负载电容为12.5pF的谐振器。

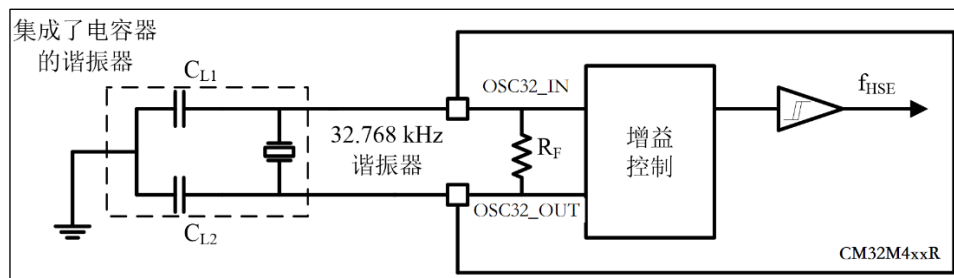
例如：如果选择了一个负载电容 $C_L = 6pF$ 的谐振器并且 $C_{stray} = 2pF$ ，则 $C_{L1} = C_{L2} = 8pF$ 。

表4-16 LSE振荡器特性($f_{LSE} = 32.768KHz$)(¹)

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻		-	5	-	MΩ
C_{L1} $C_{L2}^{(2)}$	建议的负载电容与对应的晶体串行阻抗(R_S)(³)	$R_S : 30K\Omega \sim 65K\Omega$	-	-	15	pF
I2	LSE驱动电流	VDD=3.3V , CL1=CL2=14pF, $R_S = 30K\Omega$	-	0.3	-	μA
g_m	振荡器的跨导		5	-	-	μA/V
$t_{SU(LSE)}^{(4)}$	启动时间	VDD是稳定的	-	2	-	s

1. 由综合评估得出，不在生产中测试。
2. 参见本表格上方的注意和警告段落。
3. 选择具有较小 R_S 值的高质量振荡器(如MSIV-TIN32.768KHz)，可以优化电流消耗。详情请咨询晶体制造商。
4. $t_{SU(LSE)}$ 是启动时间，是从软件使能LSE开始测量，直至得到稳定的32.768KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图4-8 使用32.768kHz晶体的典型应用



4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表4-4的条件测量得到。

高速内部(HSI)RC振荡器

表4-17 HSI振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	VDD=3.3V, $T_A = 25^\circ\text{C}$, 校准后	7.92	8	8.08	MHz
ACC_{HSI}	HSI振荡器的温漂	VDD=3.3V, $T_A = -40\sim 105^\circ\text{C}$, 温漂	-2.5	-	2.5	%
		VDD=3.3V, $T_A = -10\sim 85^\circ\text{C}$, 温漂	-2	-	2.2	%
		VDD=3.3V, $T_A = 0\sim 70^\circ\text{C}$, 温漂	-1.3	-	2	%
$t_{\text{SU(HSI)}}$	HSI振荡器启动时间		1	-	3	μs
$I_{\text{DD(HSI)}}$	HSI振荡器功耗		-	40	100	μA

1. $V_{\text{DD}} = 3.3\text{V}$, $T_A = -40\sim 105^\circ\text{C}$, 除非特别说明。
2. 由设计保证, 不在生产中测试。

低速内部(LSI)RC振荡器

表4-18 LSI振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	输出频率	25°C 校准, VDD = 3.3V	38	40	42	KHz
		VDD = 1.8V ~ 3.6V, $T_A = -40\sim 105^\circ\text{C}$	30	40	60	KHz
$t_{\text{SU(LSI)}}^{(3)}$	LSI振荡器启动时间		-	30	80	μs
$I_{\text{DD(LSI)}}^{(3)}$	LSI振荡器功耗		-	0.2	-	μA

1. $V_{\text{DD}} = 3.3\text{V}$, $T_A = -40\sim 105^\circ\text{C}$, 除非特别说明。
2. 由综合评估得出, 不在生产中测试。
3. 由设计保证, 不在生产中测试。

从低功耗模式唤醒的时间

表4-19列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是RC振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表4-4的条件测量得到。

表4-19 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	480	ns
$t_{WUSTOP0}^{(1)}$	从停机模式0唤醒(调压器处于运行模式)	20	μs
	从停机模式0唤醒(调压器为低功耗模式)	22	
$t_{WUSTOP2}^{(1)}$	从停机模式2唤醒	40	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	100	

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

4.3.8 PLL特性

列出的参数是使用环境温度和供电电压符合表4-4的条件测量得到。

表4-20 PLL特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f_{PLL_IN}	PLL输入时钟 ⁽²⁾	4	8.0	32	MHz
	PLL输入时钟占空比	40		60	%
f_{PLL_OUT}	PLL倍频输出时钟	32		144	MHz
t_{LOCK}	PLL Ready 指示信号输出时间			150	μs
Jitter	Rms cycle-to-cycle jitter @144MHz		5		ps
I_{pll}	Operating Current of PLL @144MHz VCO frequency.			700	μA

1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

4.3.9 FLASH存储器特性

除非特别说明，所有特性参数是在 $T_A = -40\sim 105^{\circ}C$ 得到。

表4-21 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t_{prog}	32位的编程时间	$T_A = -40\sim 105^{\circ}C$	-	112	-	μs
t_{ERASE}	页(2K字节)擦除时间	$T_A = -40\sim 105^{\circ}C$	-	2	20	ms
t_{ME}	整片擦除时间	$T_A = -40\sim 105^{\circ}C$;	-	-	100	ms
I_{DD}	供电电流	读模式, $f_{HCLK}=144MHz$, 2个等待周期, $V_{DD}=3.3V$	-	-	3.42	mA
		写模式, $f_{HCLK}=144MHz$, $V_{DD}=3.3V$	-	-	6.5	mA
		擦除模式, $f_{HCLK}=144MHz$, $V_{DD}=3.3V$	-	-	4.5	mA
		掉电模式/停机, $V_{DD}=3.3\sim 3.6V$	-	-	0.035	μA
V_{prog}	编程电压		1.8	3.0	3.6	V

1. 由设计保证，不在生产中测试。

表4-22 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N_{END}	寿命(注：擦写次数)	TA = -40~105°C(尾缀为7); Flash容量为256KB	10	千次
		TA = -40~105°C(尾缀为7); Flash容量为512KB, 其中后256KB的存储空间	100	
t_{RET}	数据保存期限	TA = 85°C时	10	年

1. 由综合评估得出，不在生产中测试。
2. 循环测试均是在整个温度范围下进行。

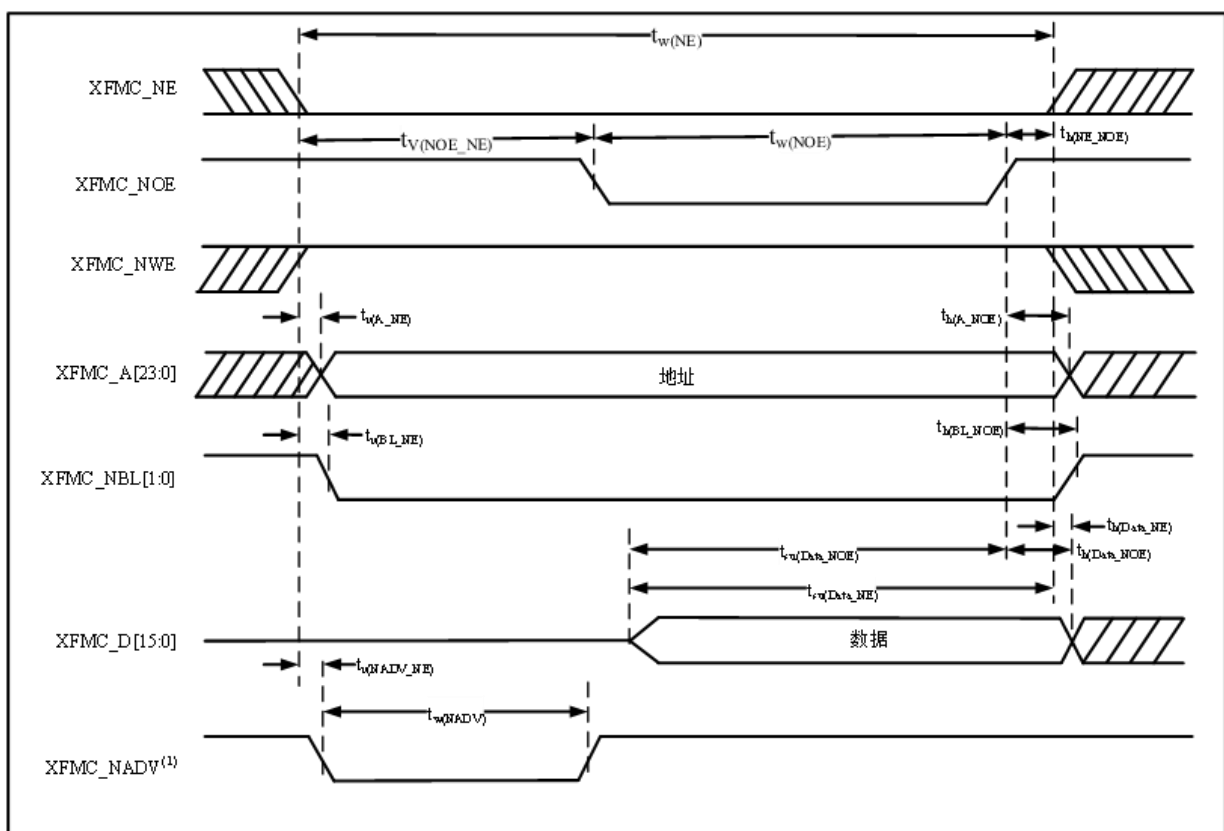
4.3.10 XFMC特性

■ 异步波形和时序

图4-9图至图4-12显示了异步的波形，表4-23至表4-26给出了相应的时序。这些表格中的结果是按照下述XFMC配置得到：

- 地址建立时间(AddressSetupTime) = 0
- 地址保持时间(AddressHoldTime) = 1
- 数据建立时间(DataSetupTime) = 1

图4-9 异步非总线复用的SRAM/PSRAM/NOR读操作波形



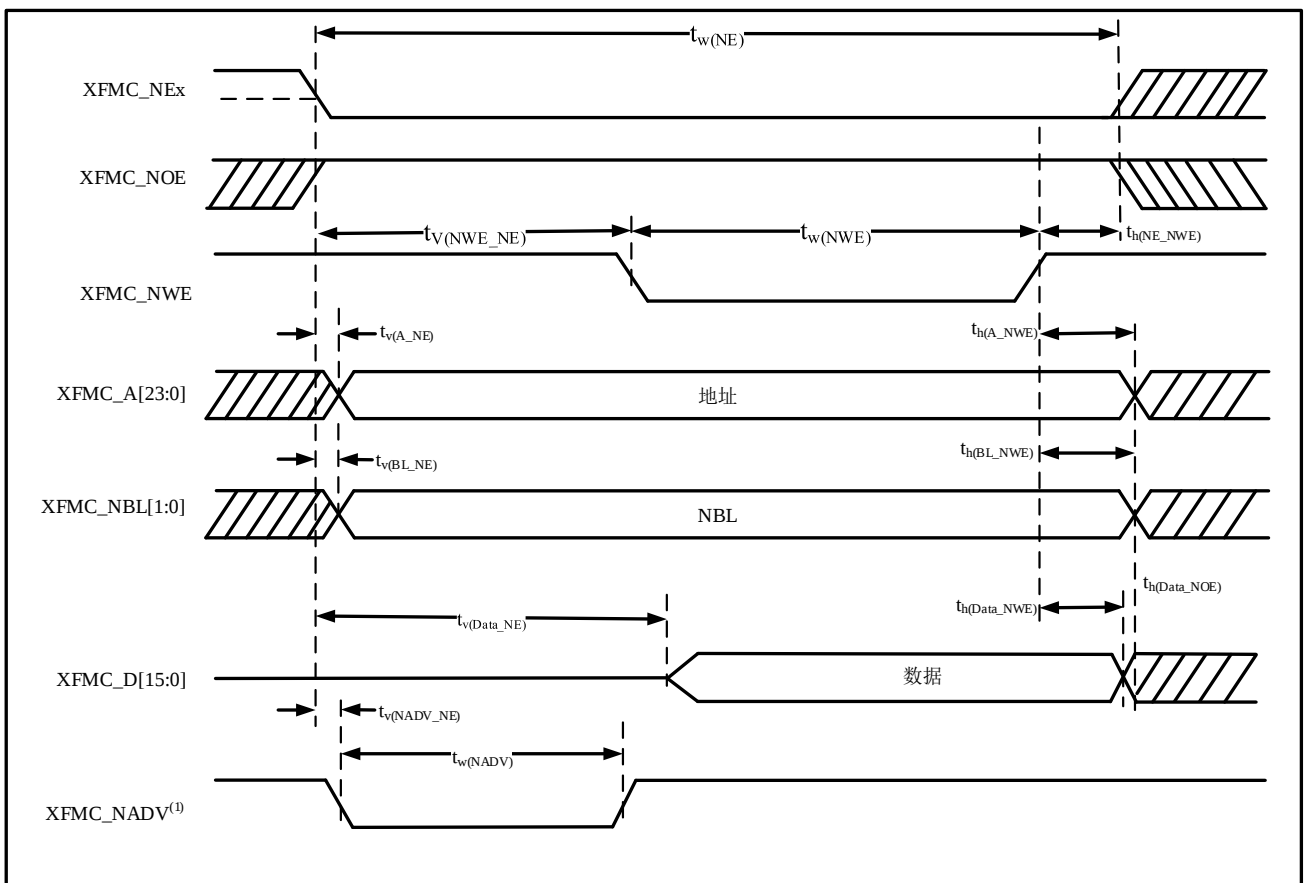
1. 只适于模式2/B、C和D。在模式1，不使用XFMC_NADV。

表4-23 异步非总线复用的SRAM/PSRAM/NOR读操作时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XFMC_NE低时间	$5T_{HCLK} - 1.5$	$5T_{HCLK} + 2$	ns
$t_{v(NOE_NE)}$	XFMC_NEx低至XFMC_NOE低	-2	2.6	ns
$t_{w(NOE)}$	XFMC_NOE低时间	$5T_{HCLK} - 1.5$	$5T_{HCLK} + 1.5$	ns
$t_{h(NE_NOE)}$	XFMC_NOE高至XFMC_NE高保持时间	-1.5	-	ns
$t_{v(A_NE)}$	XFMC_NEx低至XFMC_A有效	-	0	ns
$t_{h(A_NOE)}$	XFMC_NOE高之后的地址保持时间	-1	-	ns
$t_{v(BL_NE)}$	XFMC_NEx低至XFMC_BL有效	-	0	ns
$t_{h(BL_NOE)}$	XFMC_NOE高之后的XFMC_BL保持时间	0	-	ns
$t_{su(Data_NE)}$	数据至XFMC_NEx高的建立时间	$2T_{HCLK} + 25$	-	ns
$t_{su(Data_NOE)}$	数据至XFMC_NOEx高的建立时间	$2T_{HCLK} + 25$	-	ns
$t_{h(Data_NOE)}$	XFMC_NOE高之后的数据保持时间	0	-	ns
$t_{h(Data_NE)}$	XFMC_NEx高之后的数据保持时间	0	-	ns
$t_{v(NADV_NE)}$	XFMC_NEx低至XFMC_NADV低	-	5	ns
$t_{w(NADV)}$	XFMC_NADV低时间	-	$T_{HCLK} + 1.5$	ns

1. $V_{DD_IO} = 3.3V$, $C_L = 15pF$
2. 由综合评估得出，不在生产中测试。

图4-10 异步非总线复用的SRAM/PSRAM/NOR写操作波形



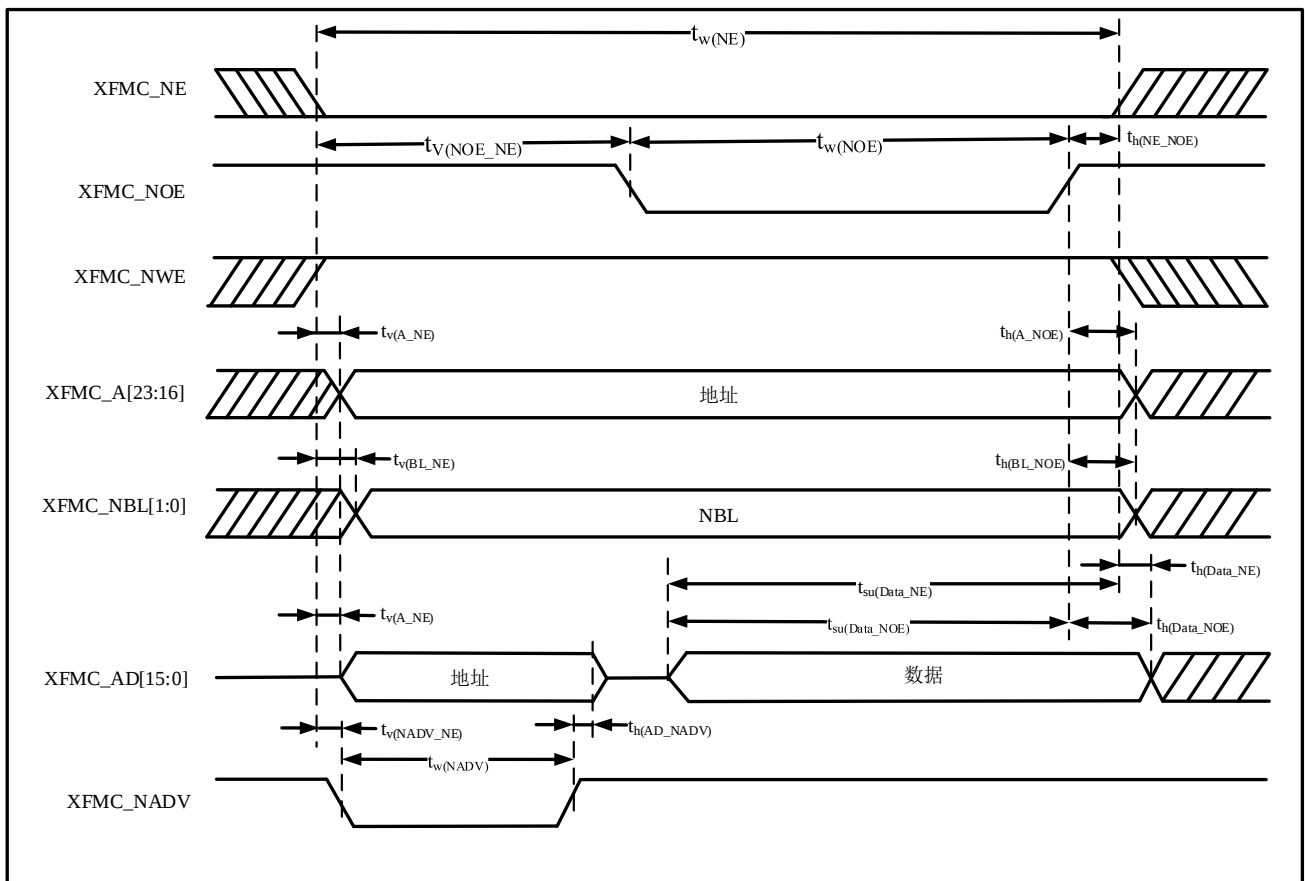
1. 只适于模式2/B、C和D。在模式1，不使用XFMC_NADV。

表4-24 异步非总线复用的SRAM/PSRAM/NOR写操作时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XFMC_NE低时间	$3T_{HCLK} - 1$	$3T_{HCLK} + 2$	ns
$t_{v(NWE_NE)}$	XFMC_NEx低至XFMC_NWE低	$T_{HCLK} - 0.5$	$T_{HCLK} + 1.5$	ns
$t_{w(NWE)}$	XFMC_NWE低时间	$T_{HCLK} - 0.5$	$T_{HCLK} + 1.5$	ns
$t_{h(NE_NWE)}$	XFMC_NWE高至XFMC_NE高保持时间	T_{HCLK}	-	ns
$t_{v(A_NE)}$	XFMC_NEx低至XFMC_A有效	-	9	ns
$t_{h(A_NWE)}$	XFMC_NWE高之后的地址保持时间	T_{HCLK}	-	ns
$t_{v(BL_NE)}$	XFMC_NEx低至XFMC_BL有效	-	0	ns
$t_{h(BL_NWE)}$	XFMC_NWE高之后的XFMC_BL保持时间	$T_{HCLK} - 0.5$	-	ns
$t_{v(Data_NE)}$	XFMC_NEx低至数据有效	-	$T_{HCLK} + 7$	ns
$t_{h(Data_NWE)}$	XFMC_NWE高之后的数据保持时间	T_{HCLK}		ns
$t_{v(NADV_NE)}$	XFMC_NEx低至XFMC_NADV低	-	5.5	ns
$t_{w(NADV)}$	XFMC_NADV低时间	-	$T_{HCLK} + 1.5$	ns

1. $V_{DD_IO} = 3.3V$, $C_L = 15pF$
2. 由综合评估得出, 不在生产中测试。

图4-11 异步总线复用PSRAM/NOR读操作波形


 表4-25 异步总线复用的PSRAM/NOR读操作时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XFMC_NE低时间	$7T_{HCLK} - 2$	$7T_{HCLK} + 2$	ns

$t_{v(NOE_NE)}$	XFMC_NEx低至XFMC_NOE低	$3T_{HCLK} - 0.5$	$3T_{HCLK} + 1.5$	ns
$t_{w(NOE)}$	XFMC_NOE低时间	$4T_{HCLK} - 1$	$4T_{HCLK} + 2$	ns
$t_{h(NE_NOE)}$	XFMC_NOE高至XFMC_NE高保持时间	-1	-	ns
$t_{v(A_NE)}$	XFMC_NEx低至XFMC_A有效	-	0	ns
$t_{v(NADV_NE)}$	XFMC_NEx低至XFMC_NADV低	3	5	ns
$t_{w(NADV)}$	XFMC_NADV低时间	$T_{HCLK} - 1.5$	$T_{HCLK} + 1.5$	ns
$t_{h(AD_NADV)}$	XFMC_NADV高之后XFMC_AD(地址)有效保持时间	T_{HCLK}	-	ns
$t_{h(A_NOE)}$	XFMC_NOE高之后的地址保持时间	$T_{HCLK} - 2$	-	ns
$t_{h(BL_NOE)}$	XFMC_NOE高之后的XFMC_BL保持时间	0	-	ns
$t_{v(BL_NE)}$	XFMC_NEx低至XFMC_BL有效	-	0	ns
$t_{su(Data_NE)}$	数据至XFMC_NEx高的建立时间	$2T_{HCLK} + 24$	-	ns
$t_{su(Data_NOE)}$	数据至XFMC_NOEx高的建立时间	$2T_{HCLK} + 25$	-	ns
$t_{h(Data_NE)}$	XFMC_NEx高之后的数据保持时间	0	-	ns
$t_{h(Data_NOE)}$	XFMC_NOE高之后的数据保持时间	0	-	ns

1. $V_{DD_IO} = 3.3V$, $C_L = 15pF$
2. 由综合评估得出, 不在生产中测试。

图4-12 异步总线复用PSRAM/NOR写操作波形

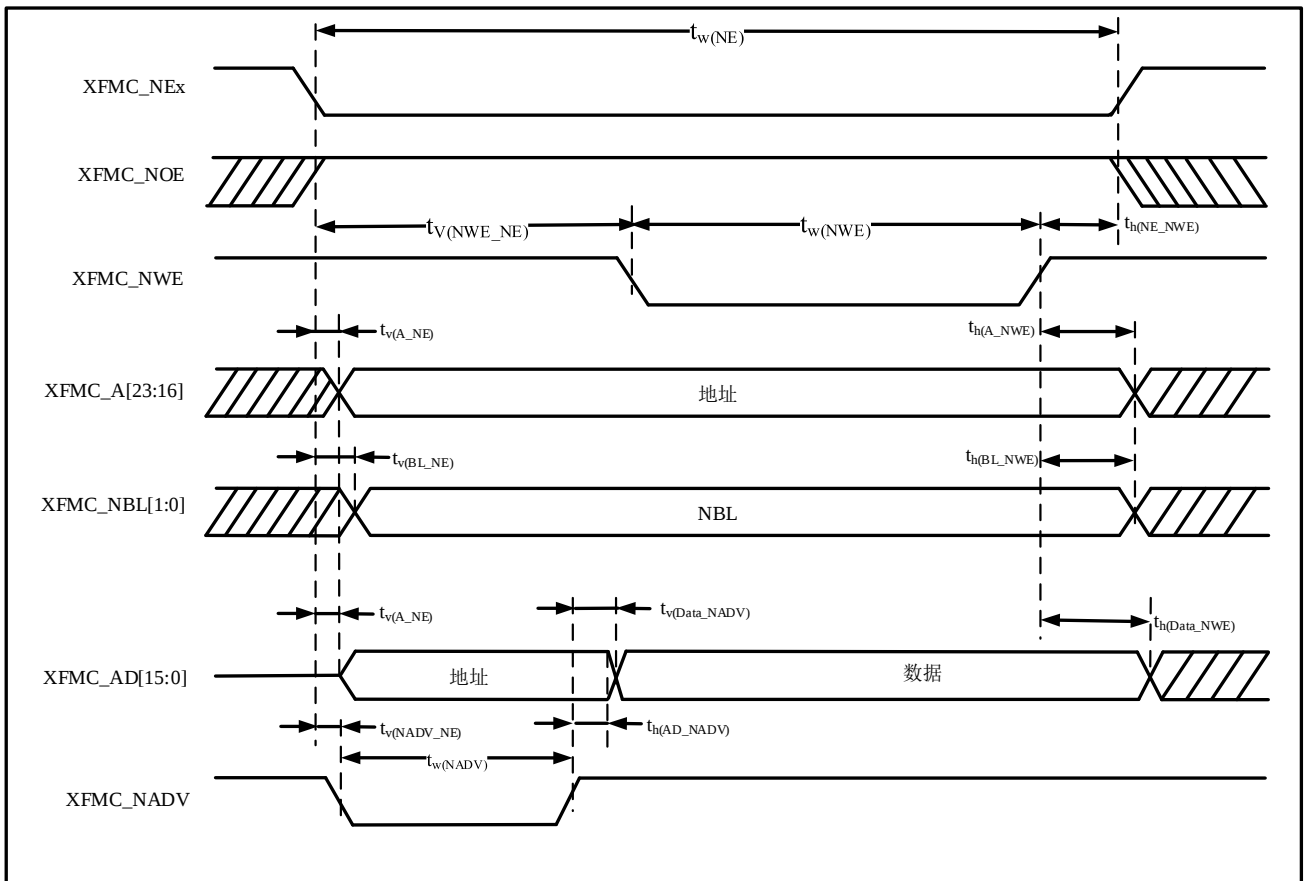


表4-26 异步总线复用的PSRAM/NOR写操作时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_{w(NE)}$	XFMC_NE低时间	$5T_{HCLK} - 1$	$5T_{HCLK} + 2$	ns

$t_{v(NWE_NE)}$	XFMC_NEx低至XFMC_NWE低	$2T_{HCLK}$	$2T_{HCLK} + 1$	ns
$t_{w(NWE)}$	XFMC_NWE低时间	$2T_{HCLK} - 1$	$2T_{HCLK} + 2$	ns
$t_{h(NE_NWE)}$	XFMC_NWE高至XFMC_NE高保持时间	$T_{HCLK} - 1$	-	ns
$t_{v(A_NE)}$	XFMC_NEx低至XFMC_A有效	-	7	ns
$t_{v(NADV_NE)}$	XFMC_NEx低至XFMC_NADV低	3	5	ns
$t_{w(NADV)}$	XFMC_NADV低时间	$T_{HCLK} - 1$	$T_{HCLK} + 1$	ns
$t_{h(AD_NADV)}$	XFMC_NADV高之后XFMC_AD(地址)有效保持时间	$T_{HCLK} - 3$	-	ns
$t_{h(A_NWE)}$	XFMC_NWE高之后的地址保持时间	$4T_{HCLK}$	-	ns
$t_{v(BL_NE)}$	XFMC_NEx低至XFMC_BL有效	-	1.6	ns
$t_{h(BL_NWE)}$	XFMC_NWE高之后的XFMC_BL保持时间	$T_{HCLK} - 1.5$	-	ns
$t_{v(Data_NADV)}$	XFMC_NADV高至数据保持时间	-	$T_{HCLK} + 1.5$	ns
$t_{h(Data_NWE)}$	XFMC_NWE高之后的数据保持时间	$T_{HCLK} - 5$	-	ns

1. $V_{DD_IO} = 3.3V$, $C_L = 15pF$
2. 由综合评估得出, 不在生产中测试。

■ 同步波形和时序

图4-13至图4-16显示了同步的波形, 表4-27至表4-30给出了相应的时序。这些表格中的结果是按照下述XFMC配置得到:

- BurstAccessMode = XFMC_BurstAccessMode_Enable, 使能突发传输模式
- MemoryType = XFMC_MemoryType_CRAM, 存储器类型为CRAM
- WriteBurst = XFMC_WriteBurst_Enable, 使能突发写操作
- CLKDivision = 1, (1个存储器周期=2个HCLK周期)(注: CLKDivision是XFMC_BANK1_WTRx寄存器中的CLKDIV位, 参见CM32M4xxR系列芯片用户手册)
- 使用NOR闪存时, DataLatency = 1; 使用PSRAM时, DataLatency = 0

(注: DataLatency是XFMC_BANK1_WTRx寄存器中的DATAHLD位, 参见CM32M4xxR系列芯片用户手册)

图4-13 同步总线复用NOR/PSRAM读时序

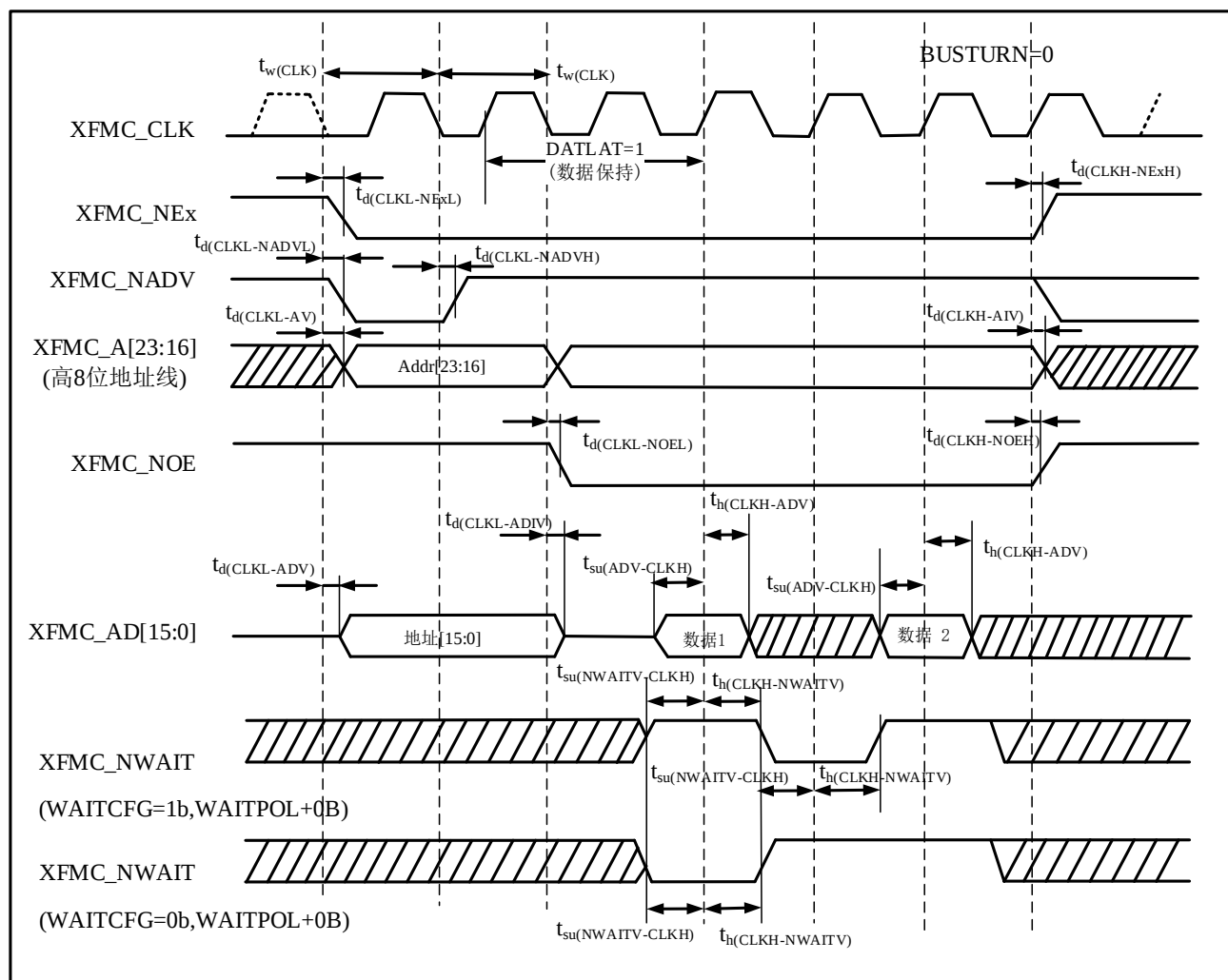


表4-27 同步总线复用NOR/PSRAM读时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	XPMC_CLK周期	27.7	-	ns
$t_d(\text{CLKL-NExL})$	XPMC_CLK低至XPMC_NEx低($x = 0 \dots 2$)	-	5	ns
$t_d(\text{CLKH-NExH})$	XPMC_CLK高至XPMC_NEx高($x = 0 \dots 2$)	-0.5	-	ns
$t_d(\text{CLKL-NADVL})$	XPMC_CLK低至XPMC_NADV低	-	4.5	ns
$t_d(\text{CLKL-NADVH})$	XPMC_CLK低至XPMC_NADV高	-0.5	-	ns
$t_d(\text{CLKL-AV})$	XPMC_CLK低至XPMC_Ax有效($x = 16 \dots 25$)	-	0	ns
$t_d(\text{CLKH-AIV})$	XPMC_CLK高至XPMC_Ax无效($x = 16 \dots 25$)	0	-	ns
$t_d(\text{CLKL-NOEL})$	XPMC_CLK低至XPMC_NOE低	-	4.5	ns
$t_d(\text{CLKH-NOEH})$	XPMC_CLK高至XPMC_NOE高	-0.5	-	ns
$t_d(\text{CLKL-ADV})$	XPMC_CLK低至XPMC_AD[15:0]有效	-	10	ns
$t_d(\text{CLKL-ADIV})$	XPMC_CLK低至XPMC_AD[15:0]无效	1.5	-	ns
$t_{su}(\text{ADV-CLKH})$	XPMC_CLK高之前XPMC_AD[15:0]有效数据	5.5	-	ns
$t_h(\text{CLKH-ADV})$	XPMC_CLK高之后XPMC_AD[15:0]有效数据	1.5	-	ns
$t_{su}(\text{NWAITV-CLKH})$	XPMC_CLK高之前XPMC_NWAIT有效	6.5	-	ns

$t_{\text{H}}(\text{CLKH-NWAITV})$	XFMC_CLK高之后XFMC_NWAIT有效	1	-	ns
------------------------------------	-------------------------	---	---	----

1. $V_{\text{DD_IO}} = 3.3\text{V}$, $C_{\text{L}} = 15\text{pF}$
2. 由综合评估得出，不在生产中测试。

图4-14 同步总线复用PSRAM写时序

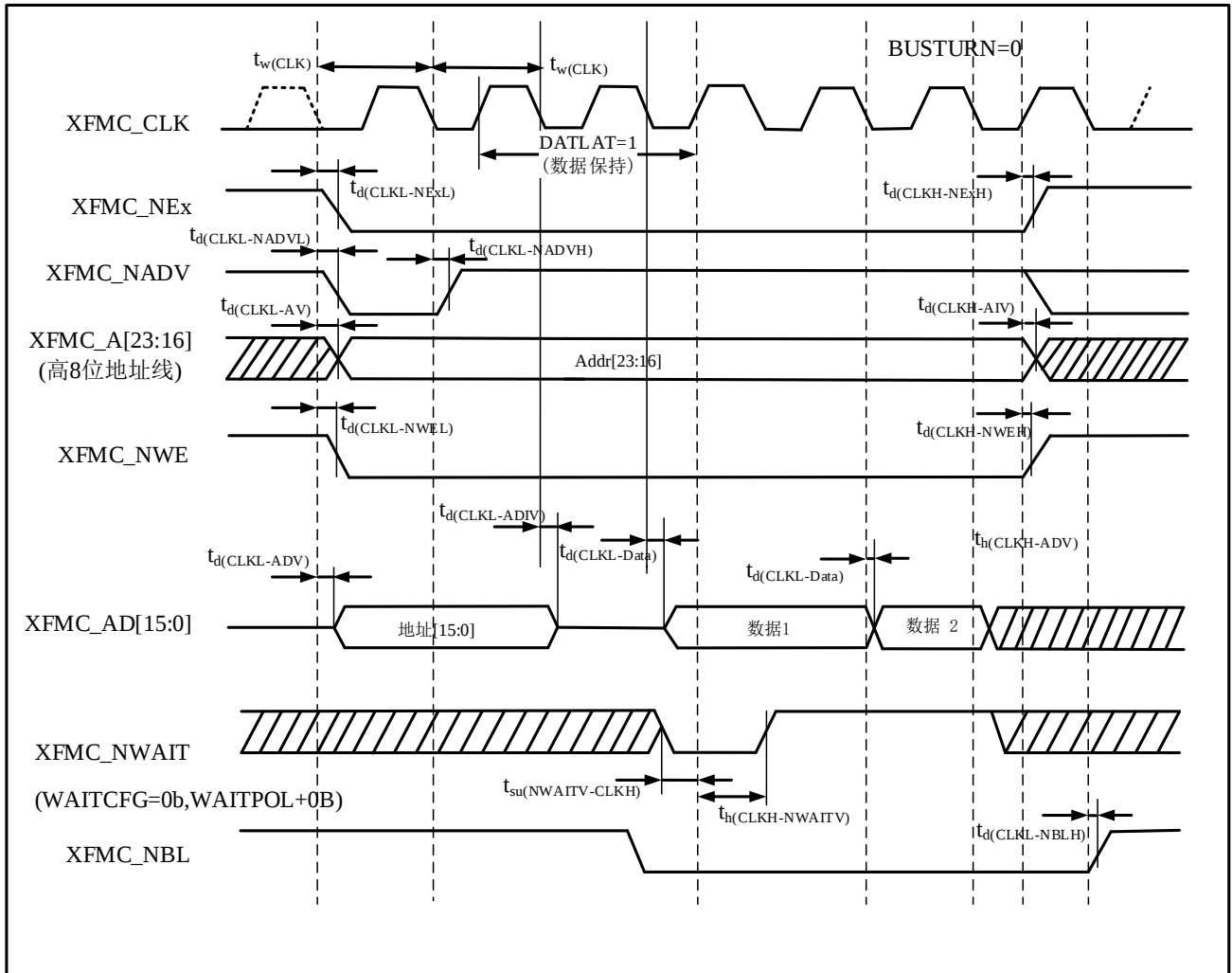


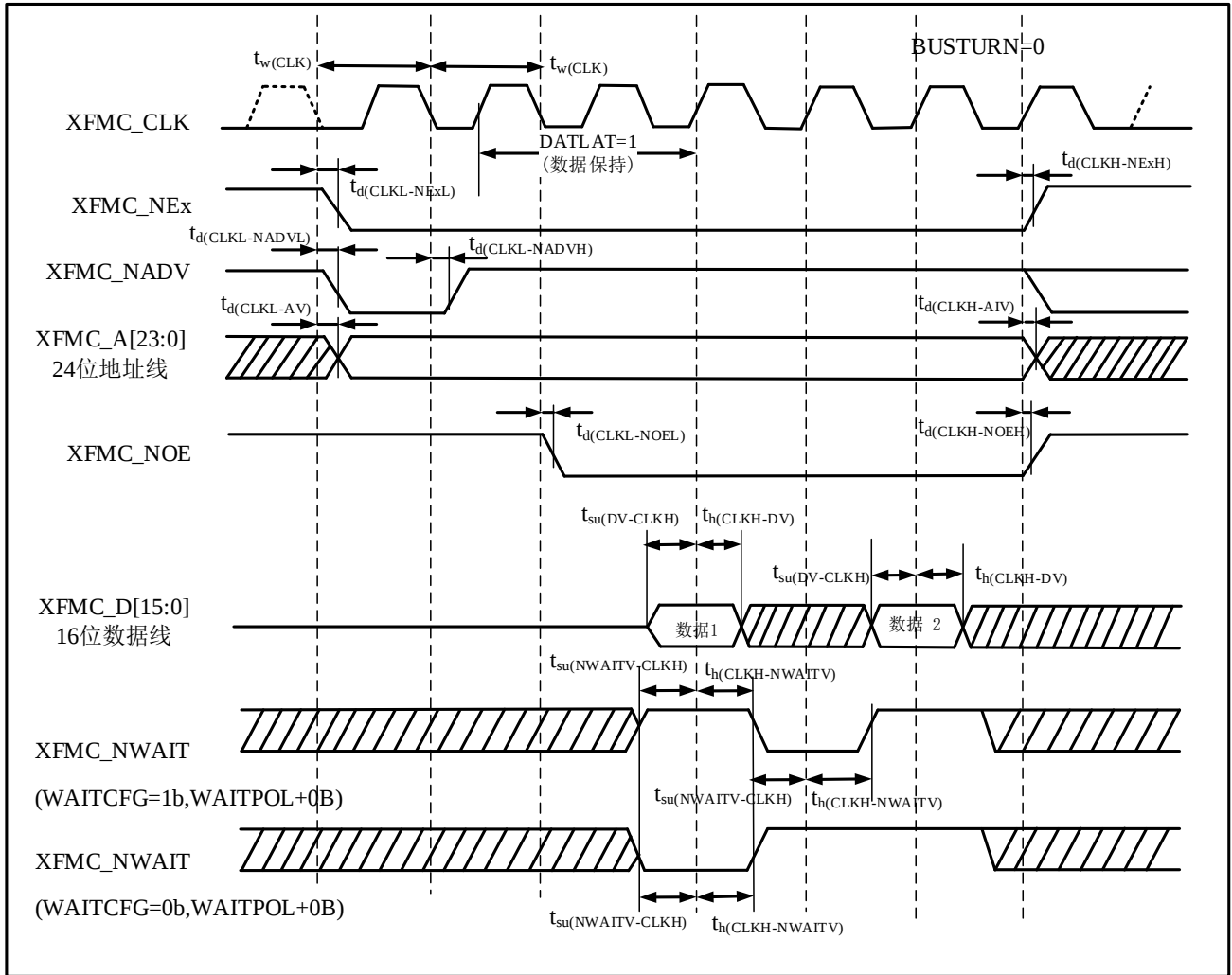
表4-28 同步总线复用PSRAM写时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_{\text{w}}(\text{CLK})$	XFMC_CLK周期	27.7	-	ns
$t_{\text{d}}(\text{CLKL-NExL})$	XFMC_CLK低至XFMC_NEx低($x = 0 \dots 2$)	-	5	ns
$t_{\text{d}}(\text{CLKH-NExH})$	XFMC_CLK高至XFMC_NEx高($x = 0 \dots 2$)	-0.5	-	ns
$t_{\text{d}}(\text{CLKL-NADV})$	XFMC_CLK低至XFMC_NADV低	-	4.5	ns
$t_{\text{d}}(\text{CLKL-NADVH})$	XFMC_CLK低至XFMC_NADV高	-0.5	-	ns
$t_{\text{d}}(\text{CLKL-AV})$	XFMC_CLK低至XFMC_Ax有效($x = 16 \dots 25$)	-	0	ns
$t_{\text{d}}(\text{CLKH-AIV})$	XFMC_CLK高至XFMC_Ax无效($x = 16 \dots 25$)	0	-	ns
$t_{\text{d}}(\text{CLKL-NWE})$	XFMC_CLK低至XFMC_NWE低	-	6	ns
$t_{\text{d}}(\text{CLKH-NWEH})$	XFMC_CLK高至XFMC_NWE高	0	-	ns
$t_{\text{d}}(\text{CLKL-ADV})$	XFMC_CLK低至XFMC_AD[15:0]有效	-	10	ns

$t_d(\text{CLKL-ADIV})$	XFMC_CLK低至XFMC_AD[15:0]无效	1.5	-	ns
$t_d(\text{CLKL-Data})$	XFMC_CLK低之后XFMC_AD[15:0]有效	-	6	ns
$t_{su}(\text{NWAITV-CLKH})$	XFMC_CLK高之前XFMC_NWAIT有效	6.5	-	ns
$t_h(\text{CLKH-NWAITV})$	XFMC_CLK高之后XFMC_NWAIT有效	1	-	ns
$t_d(\text{CLKL-NBLH})$	XFMC_CLK低至XFMC_NBL高	1.5	-	ns

1. $V_{DD_IO} = 3.3V$, $C_L = 15pF$
2. 由综合评估得出, 不在生产中测试。

图4-15 同步非总线复用NOR/PSRAM读时序

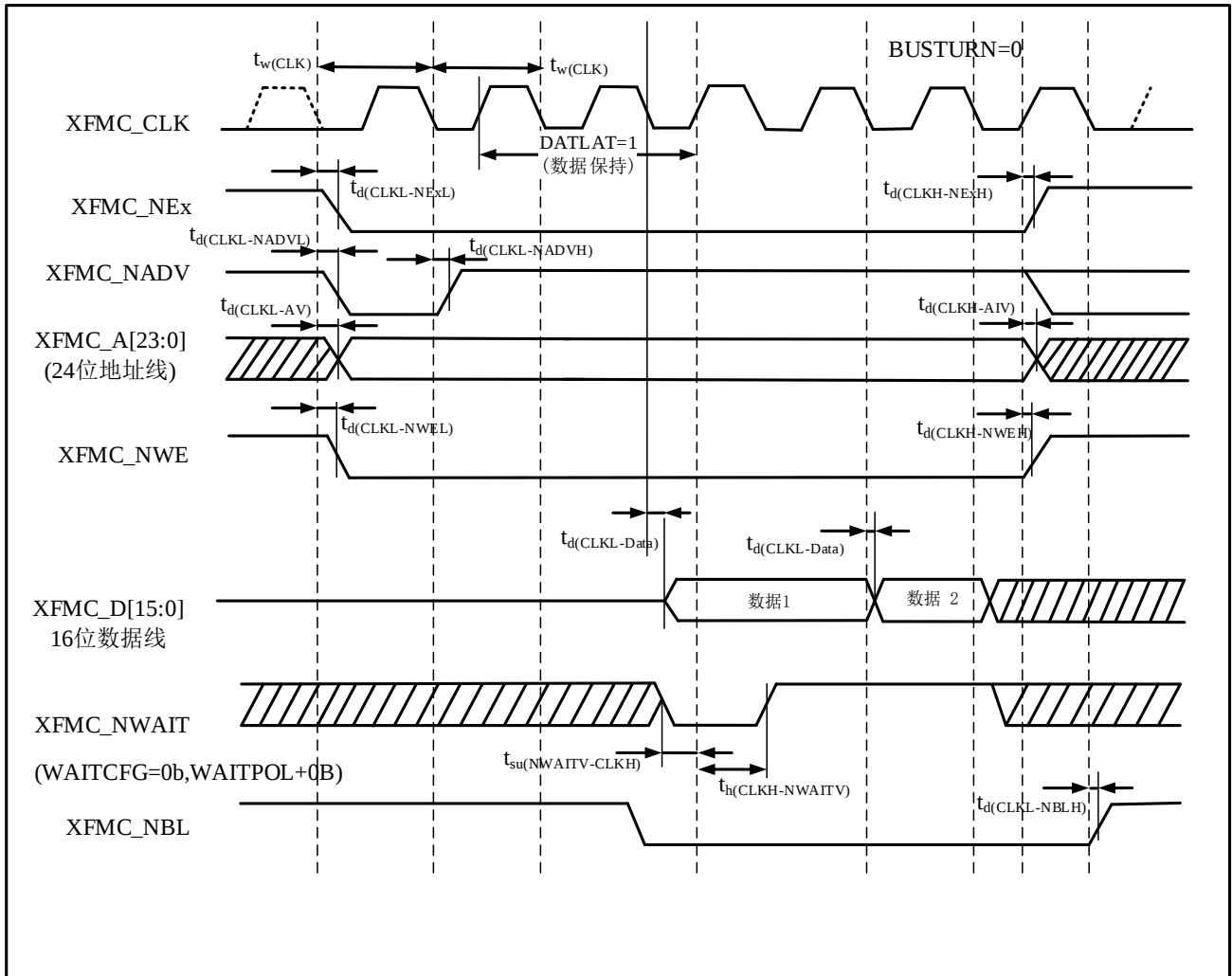

 表4-29 同步非总线复用NOR/PSRAM读时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	XFMC_CLK周期	27.7	-	ns
$t_d(\text{CLKL-NExL})$	XFMC_CLK低至XFMC_NEx低($x = 0 \dots 2$)	-	5	ns
$t_d(\text{CLKH-NExH})$	XFMC_CLK高至XFMC_NEx高($x = 0 \dots 2$)	-0.5	-	ns
$t_d(\text{CLKL-NADV})$	XFMC_CLK低至XFMC_NADV低	-	4.5	ns
$t_d(\text{CLKL-NADVH})$	XFMC_CLK低至XFMC_NADV高	-0.5	-	ns
$t_d(\text{CLKL-AV})$	XFMC_CLK低至XFMC_Ax有效($x = 0 \dots 25$)	-	0	ns

$t_{d(CLKH-AIV)}$	XFMC_CLK高至XFMC_Ax无效($x = 0 \dots 25$)	0	-	ns
$t_{d(CLKL-NOEL)}$	XFMC_CLK低至XFMC_NOE低	-	4.5	ns
$t_{d(CLKH-NOEH)}$	XFMC_CLK高至XFMC_NOE高	-0.5	-	ns
$t_{su(DV-CLKH)}$	XFMC_CLK高之前XFMC_D[15:0]有效数据	5.5	-	ns
$t_h(CLKH-DV)$	XFMC_CLK高之后XFMC_D[15:0]有效数据	1	-	ns
$t_{su(NWAITV-CLKH)}$	XFMC_CLK高之前XFMC_NWAIT有效	6.5	-	ns
$t_h(CLKH-NWAITV)$	XFMC_CLK高之后XFMC_NWAIT有效	1	-	ns

1. $V_{DDIO} = 3.3V$, $C_L = 15pF$
2. 由综合评估得出, 不在生产中测试。

图4-16 同步非总线复用PSRAM写时序


 表4-30 同步非总线复用PSRAM写时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_w(CLK)$	XFMC_CLK周期	27.7	-	ns
$t_{d(CLKL-NExL)}$	XFMC_CLK低至XFMC_NEx低($x = 0 \dots 2$)	-	5	ns
$t_{d(CLKH-NExH)}$	XFMC_CLK高至XFMC_NEx高($x = 0 \dots 2$)	-0.5	-	ns
$t_{d(CLKL-NADVL)}$	XFMC_CLK低至XFMC_NADV低	-	4.5	ns

$t_{d(CLKL-NADVH)}$	XFMC_CLK低至XFMC_NADV高	-0.5	-	ns
$t_{d(CLKL-AV)}$	XFMC_CLK低至XFMC_Ax有效($x = 0 \dots 25$)	-	0	ns
$t_{d(CLKH-AIV)}$	XFMC_CLK高至XFMC_Ax无效($x = 0 \dots 25$)	0	-	ns
$t_{d(CLKL-NWEL)}$	XFMC_CLK低至XFMC_NWE低	-	6	ns
$t_{d(CLKH-NWEH)}$	XFMC_CLK高至XFMC_NWE高	0	-	ns
$t_{d(CLKL-Data)}$	XFMC_CLK低之后XFMC_D[15:0]有效数据	-	6	ns
$t_{su(NWAITV-CLKH)}$	XFMC_CLK高之前XFMC_NWAIT有效	6.5	-	ns
$t_h(CLKH-NWAITV)$	XFMC_CLK高之后XFMC_NWAIT有效	1	-	ns
$t_{d(CLKL-NBLH)}$	XFMC_CLK低至XFMC_NBL高	1.5	-	ns

1. $V_{DD_IO} = 3.3V$, $C_L = 15pF$
2. 由综合评估得出, 不在生产中测试。

■ NAND控制器波形和时序

图4-17至图4-20显示了同步的波形, 表4-31给出了相应的时序。这些表格中的结果是按照下述XFMC配置得到:

- COM.XFMC_SetupTime = 0x01; (注: XFMC_PMEMx的MEMSET, $x = 2 \dots 4$)
- COM.XFMC_WaitSetupTime = 0x03; (注: XFMC_PMEMx的MEMWAIT, $x = 2 \dots 4$)
- COM.XFMC_HoldSetupTime = 0x02; (注: XFMC_PMEMx的MEMHOLD, $x = 2 \dots 4$)
- COM.XFMC_HiZSetupTime = 0x01; (注: XFMC_PMEMx的MEMHIZ, $x = 2 \dots 4$)
- ATT.XFMC_SetupTime = 0x01; (注: XFMC_PATTx的ATTSET, $x = 2 \dots 4$)
- ATT.XFMC_WaitSetupTime = 0x03; (注: XFMC_PATTx的ATTWAIT, $x = 2 \dots 4$)
- ATT.XFMC_HoldSetupTime = 0x02; (注: XFMC_PATTx的ATTHOLD, $x = 2 \dots 4$)
- ATT.XFMC_HiZSetupTime = 0x01; (注: XFMC_PATTx的ATTHIZ, $x = 2 \dots 4$)
- Bank = XFMC_Bank_NAND;
- MemoryDataWidth = XFMC_MemoryDataWidth_16b; (注: 存储器数据宽度=16位)
- ECC = XFMC_ECC_Enable; (注: 使能ECC计算)
- ECCPageSize = XFMC_ECCPageSize_512Bytes; (注: ECC页大小=512字节)
- TCLRSetupTime = 0; (注: XFMC_PCRx的TCLR)
- TARSetupTime = 0; (注: XFMC_PCRx的TAR)

注: 关于以上寄存器(XFMC_CMENMTMx、XFMC_ATTMEMTMx)的说明, 详见参见CM32M4xxR系列芯片用户手册。

图4-17 NAND控制器读操作波形

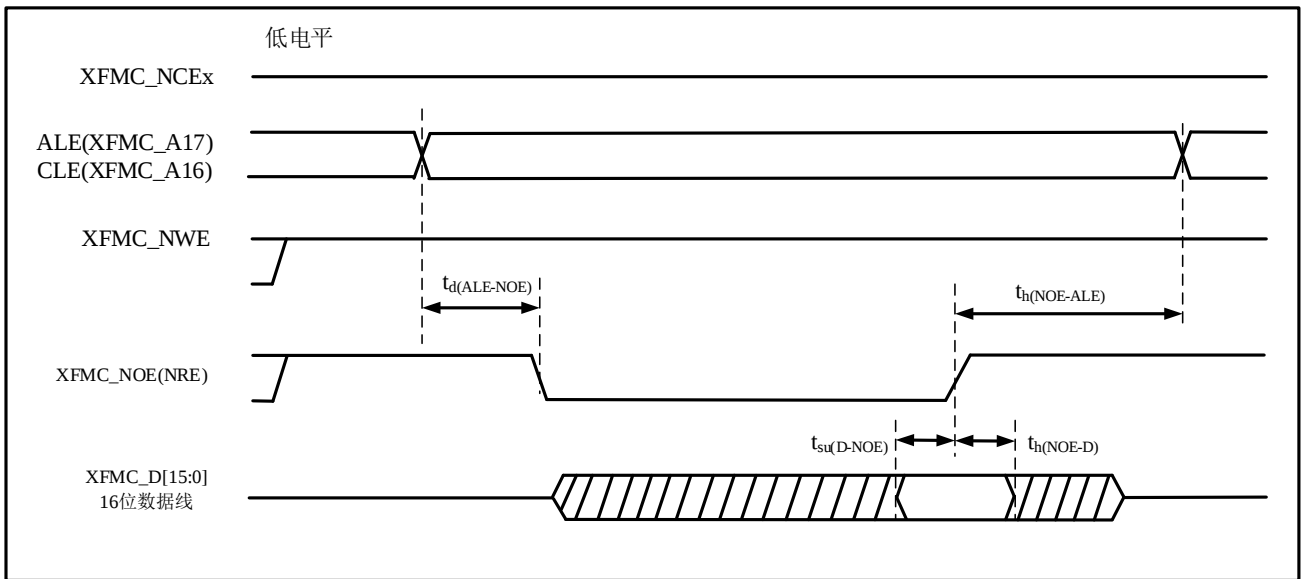


图4-18 NAND控制器写操作波形

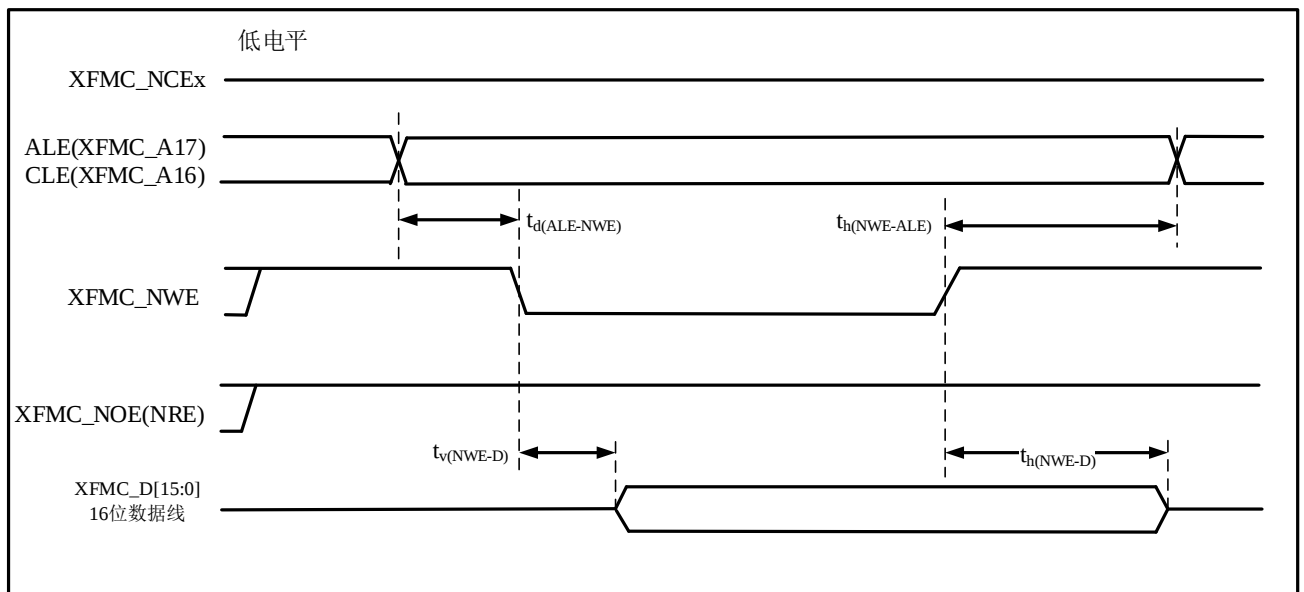


图4-19 NAND控制器在通用存储空间的读操作波形

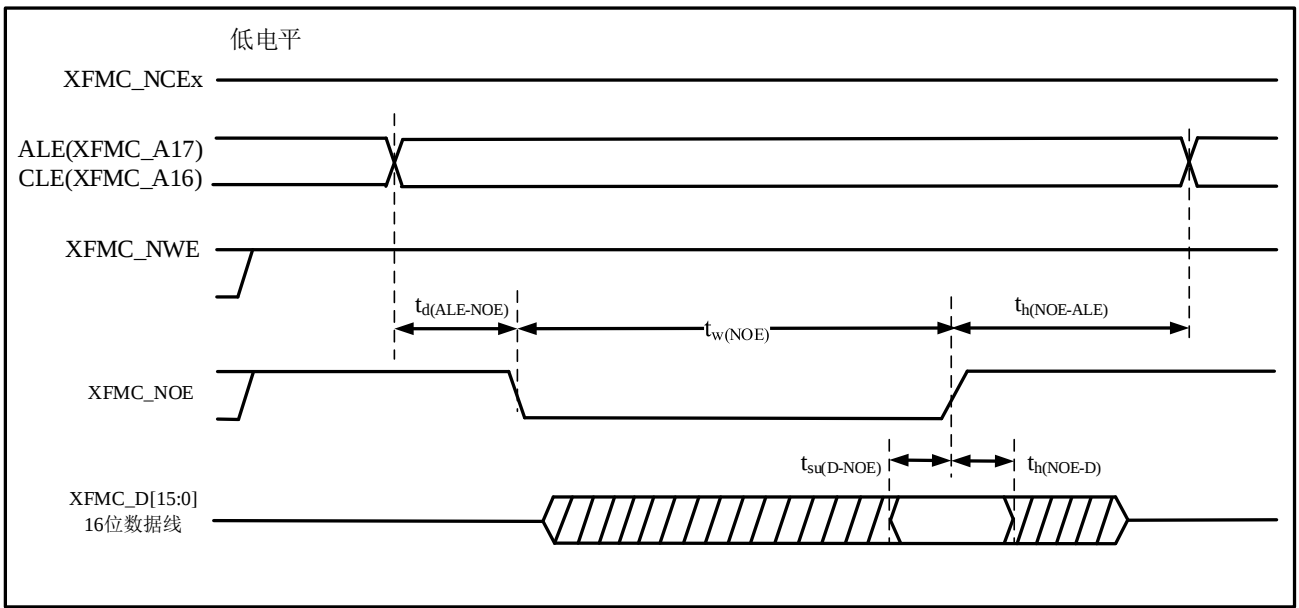


图4-20 NAND控制器在通用存储空间的写操作波形

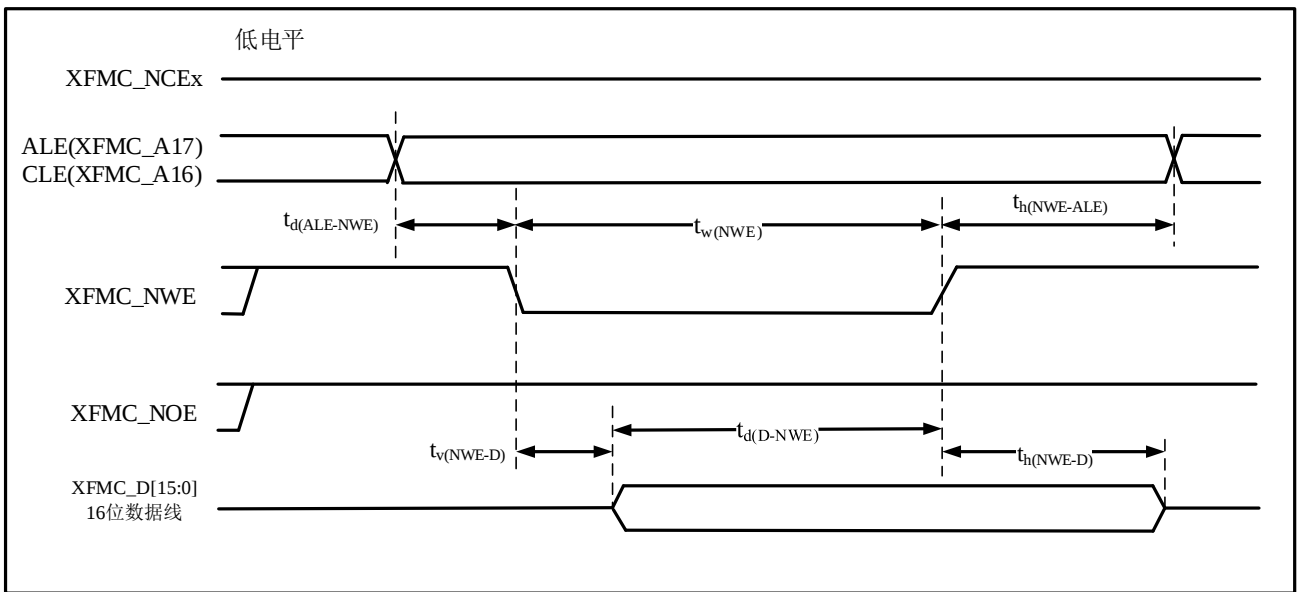


表4-31 NAND闪存读写周期的时序特性⁽¹⁾

符号	参数	最小值	最大值	单位
$t_d(\text{D-NWE})^{(2)}$	XPMC_NWE高之前至XPMC_D[15:0]数据有效	$5T_{\text{HCLK}} + 12$	-	ns
$t_w(\text{NOEO})^{(2)}$	XPMC_NOE低时间	$4T_{\text{HCLK}} - 1.5$	$4T_{\text{HCLK}} + 1.5$	ns
$t_{su}(\text{D-NOE})^{(2)}$	XPMC_NOE高之前至XPMC_D[15:0]数据有效	25	-	ns
$t_h(\text{NOEO-D})^{(2)}$	XPMC_NOE高之后至XPMC_D[15:0]数据有效	7	-	ns
$t_w(\text{NWE})^{(2)}$	XPMC_NWE低时间	$4T_{\text{HCLK}} - 1$	$4T_{\text{HCLK}} + 1$	ns
$t_v(\text{NWE-D})^{(2)}$	XPMC_NWE低至XPMC_D[15:0]数据有效	-	0	ns
$t_h(\text{NWE-D})^{(2)}$	XPMC_NWE高至XPMC_D[15:0]数据无效	$2T_{\text{HCLK}} + 4$	-	ns
$t_d(\text{ALE-NWE})^{(3)}$	XPMC_NWE低之前至XPMC_ALE有效	-	$3T_{\text{HCLK}} + 1.5$	ns

$t_{h(NWE-ALE)}^{(3)}$	XFMC_NWE高至XFMC_ALE无效	$3T_{HCLK} + 4.5$		ns
$t_{d(ALE-NOE)}^{(3)}$	XFMC_NOE低之前至XFMC_ALE有效	-	$3T_{HCLK} + 2$	ns
$t_{h(NO-E-ALE)}^{(3)}$	XFMC_NOE高至XFMC_ALE无效	$3T_{HCLK} + 4.5$	-	ns

1. $V_{DD_IO} = 3.3V$, $C_L = 15pF$
2. 由综合评估得出, 不在生产中测试。
3. 由设计保证, 不在生产中测试。

4.3.11 EMC特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性EMS(电磁敏感性)

当运行一个简单的应用程序时(通过I/O端口闪烁2个LED), 测试样品被施加2种电磁干扰直到产生错误, LED闪烁指示了错误的产生。

- 静电放电(ESD)(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合IEC 61000-4-2标准。
- FTB: 在 V_{DD} 和 V_{SS} 上通过一个100pF的电容器施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合IEC 61000-4-4标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。

表4-32 EMS特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任一I/O脚, 从而导致功能错误的电压极限。	$V_{DD} = 3.3V$, LQFP128, $T_A = +25^\circ C$, $f_{HCLK} = 144MHz$ 。符合IEC 61000-4-2	2B
V_{EFTB}	在 V_{DD} 和 V_{SS} 上通过100pF的电容器施加的、导致功能错误的瞬变脉冲群电压极限。	$V_{DD} = 3.3V$, LQFP128, $T_A = +25^\circ C$, $f_{HCLK} = 144MHz$ 。符合IEC 61000-4-4	2A

设计牢靠的软件以避免噪声的问题

在器件级进行EMC的评估和优化, 是在典型的应用环境中进行的。应该注意的是, 好的EMC性能与用户应用和具体的软件密切相关。

因此, 建议用户对软件实行EMC优化, 并进行与EMC有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制, 如:

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏(控制寄存器等.....)

认证前的试验

很多常见的失效(意外的复位和程序计数器被破坏), 可以通过人工地在NRST上引入一个低电平或在晶振引脚上引入一个持续1秒的低电平而重现。

在进行ESD测试时, 可以把超出应用要求的电压直接施加在芯片上, 当检测到意外动作的地方, 软件部分需要加强以防止发生不可恢复的错误。

电磁干扰(EMI)

在运行一个简单的应用程序时(通过I/O端口闪烁2个LED)，监测芯片发射的电磁场。这个发射测试符合SAE J1752/3标准，这个标准规定了测试板和引脚的负载。

表4-33 EMI特性

符号	参数	条件	监测的频段	最大值(f_{HSE}/f_{HCLK})		单位
				8/48MHz	8/72MHz	
S_{EMI}	峰值	V_{DD} 3.3 V, T_A 25 °C, LQFP128封装 符合SAE J1752/3	0.1~30MHz	8	12	dB μ V
			30~130MHz	31	21	
			130MHz~1GHz	28	33	
			SAM EMI级别	4	4	-

4.3.12 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关(3片 $\times$ (n+1)供电引脚)。这个测试符合JESD22-A114/C101标准。

表4-34 ESD绝对最大值

符号	参数	条件	类型	最小值 ⁽¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A = +25$ °C, 符合JESD22-A114	2	4000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A = +25$ °C, 符合JESD22-C101	II	1000	

1. 由综合评估得出，不在生产中测试。

静态栓锁

为了评估栓锁性能，需要在6个样品上进行2个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD78A集成电路栓锁标准。

表4-35 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	$T_A = +105$ °C, 符合JESD 78A	II 类A

4.3.13 I/O端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表4-36 I/O静态特性

符号	参数	条件	最小值	最大值	单位
----	----	----	-----	-----	----

V_{IL}	输入低电平电压	$V_{DD}=3.3V$	V_{SS}	0.8	V
		$V_{DD}=2.5V$	V_{SS}	0.7	
		$V_{DD}=1.8V$	V_{SS}	$0.3*V_{DD}$	
V_{IH}	输入高电平电压	$V_{DD}=3.3V$	2	V_{DD}	
		$V_{DD}=2.5V$	1.7	V_{DD}	
		$V_{DD}=1.8V$	$0.7*V_{DD}$	V_{DD}	
V_{hys}	施密特触发器电压迟滞 ⁽¹⁾	$V_{DD}=3.3V$	200	-	mV
		$V_{DD}=2.5V$	200	-	
		$V_{DD}=1.8V$	$0.1*V_{DD}$ ⁽²⁾	-	
I_{lkg}	输入漏电流 ⁽³⁾	$V_{DD}=\text{Maximum}$ $V_{PAD}=0$ 或 $V_{PAD}=V_{DD}$ ⁽⁵⁾	-1	1	μA
R_{PU}	弱上拉等效电阻 ⁽⁴⁾	$V_{IN}=V_{IH}$	30	90	$k\Omega$
R_{PD}	弱下拉等效电阻 ⁽⁴⁾	$V_{IN}=V_{IL}$	30	90	$k\Omega$
C_{IO}	I/O引脚的电容		-	-	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 至少100mV。
3. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
4. 上拉和下拉电阻是设计为一个可开关的PMOS/NMOS实现。
5. V_{PAD} 是指IO管脚的输入电压。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数：

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 12mA$ 电流。在用户应用中，I/O脚的数目必须保证驱动电流不超过4.2节给出的绝对最大额定值：

- 所有I/O端口从 V_{DD} 上获取的电流总和，加上MCU在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} (表4-2)。
- 所有I/O端口吸收并从 V_{SS} 上流出的电流总和，加上MCU在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} (表4-2)。

输出电压

除非特别说明，表4-37列出的参数是使用环境温度和 V_{DD} 供电电压符合表4-4的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表4-37 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平	$V_{DD}=3.3V, I_{OH}=2mA/4mA/8mA/12mA$	V_{SS}	0.4	V
		$V_{DD}=2.5V, I_{OH}=2mA/4mA/8mA/12mA$	V_{SS}	0.4	
		$V_{DD}=1.8V, I_{OH}=2mA/4mA/8mA/12mA$	V_{SS}	$0.2*V_{DD}$	
$V_{OH}^{(2)}$	输出高电平	$V_{DD}=3.3V, I_{OH}=2mA/-4mA/-8mA/-12mA$	2.4	V_{DD}	
		$V_{DD}=2.5V, I_{OH}=2mA/-4mA/-8mA/-12mA$	2	V_{DD}	
		$V_{DD}=1.8V, I_{OH}=2mA/-4mA/-8mA/-12mA$	$0.8*V_{DD}$	V_{DD}	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表4-2中给出的绝对最大额定值，同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表4-2中给出的绝对最大额定值，同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出，不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在表4-20和表4-38给出。

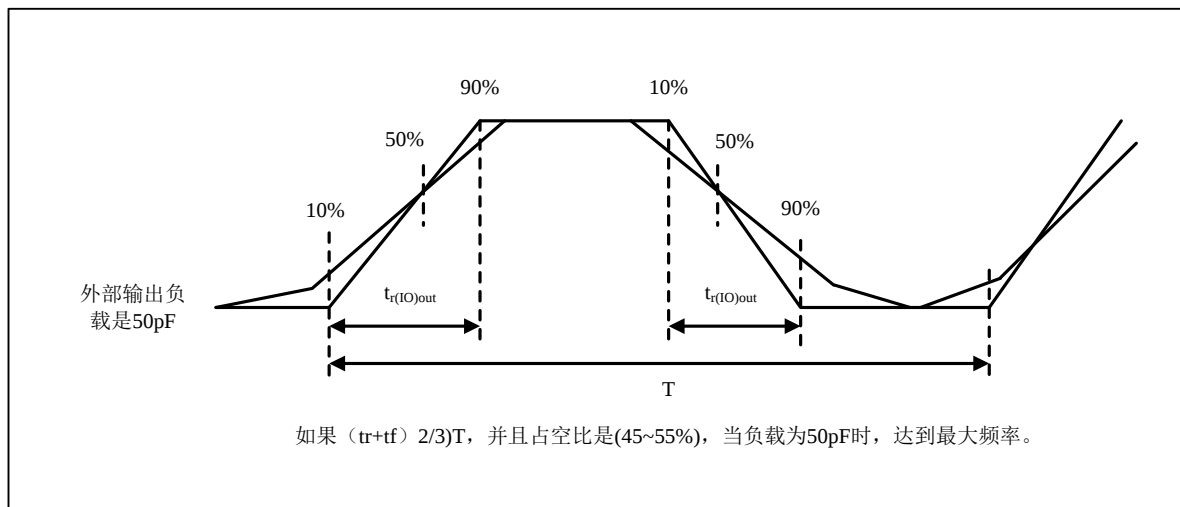
除非特别说明，表4-38列出的参数是使用环境温度和供电电压符合表4-4的条件测量得到。

表4-38 输入输出交流特性⁽¹⁾

PMODEy[1:0] 的配置	符号	参数	条件	最小 值	最大 值	单位
01 (2MHz)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L = 50\text{ pF}, V_{DD} = 2\sim 3.6\text{V}$	-	2	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	$C_L = 50\text{ pF}, V_{DD} = 2\sim 3.6\text{V}$	-	125 ⁽³⁾	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间		-	125 ⁽³⁾	
10 (10MHz)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L = 50\text{ pF}, V_{DD} = 2\sim 3.6\text{V}$	-	10	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	$C_L = 50\text{ pF}, V_{DD} = 2\sim 3.6\text{V}$	-	25 ⁽³⁾	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间		-	25 ⁽³⁾	
11 (50MHz)	$f_{\max(IO)out}$	最大频率 ⁽²⁾	$C_L = 30\text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$	-	50	MHz
			$C_L = 50\text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$	-	30	
			$C_L = 50\text{ pF}, V_{DD} = 2\sim 2.7\text{V}$	-	20	
	$t_{f(IO)out}$	输出高至低电平的下降时间	$C_L = 30\text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$	-	5 ⁽³⁾	ns
			$C_L = 50\text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$	-	8 ⁽³⁾	
			$C_L = 50\text{ pF}, V_{DD} = 2\sim 2.7\text{V}$	-	12 ⁽³⁾	
	$t_{r(IO)out}$	输出低至高电平的上升时间	$C_L = 30\text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$	-	5 ⁽³⁾	
			$C_L = 50\text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$	-	8 ⁽³⁾	
			$C_L = 50\text{ pF}, V_{DD} = 2\sim 2.7\text{V}$	-	12 ⁽³⁾	
-	t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

1. I/O端口的速度可以通过PMODEy[1:0]配置。参见CM32M4xxR技术手册中有关GPIO端口配置寄存器的说明。
2. 最大频率在中定义。
3. 由设计保证，不在生产中测试。

图4-21 输入输出交流特性定义



4.3.14 NRST引脚特性

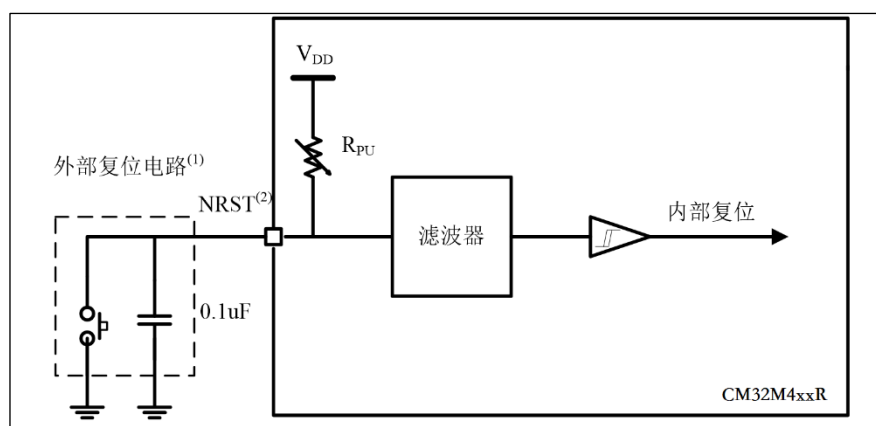
NRST引脚输入驱动使用CMOS工艺, 它连接了一个不能断开的上拉电阻, R_{PU} (参见表4-36)。除非特别说明, 表4-39列出的参数是使用环境温度和供电电压符合表4-4的条件测量得到。

表4-39 NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	$V_{DD}=3.3V$	V_{SS}	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压	$V_{DD}=3.3V$	2	-	V_{DD}	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{IH}$	20	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	-	300	-	-	ns

1. 由设计保证, 不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

图4-22 建议的NRST引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证NRST引脚的电位能够低于表4-39中列出的最大 $V_{IL(NRST)}$ 以下, 否则MCU不能得到复位。

4.3.15 TIM定时器特性

表4-40列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情, 参见第4.3.13节。

表4-40 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 144MHz$	6.95	-	ns
f_{EXT}	CH1至CH4的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 144MHz$	0	72	MHz
Re_{TIM}	定时器分辨率		-	16	位
$t_{COUNTER}$	当选择了内部时钟时, 16位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 144MHz$	0.00695	455	μs
t_{MAX_COUNT}	最大可能的计数		-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 144MHz$	-	29.8	s

1. TIMx是一个通用的名称, 代表TIM1~TIM8。

4.3.16 I2C接口特性

除非特别说明, 表4-41列出的参数是使用环境温度, f_{PCLK1} 频率和 V_{DD} 供电电压符合表4-4的条件测量得到。

CM32M4xxR系列产品的I2C接口符合标准I2C通信协议, 但有如下限制: SDA和SCL不是“真”开漏的引脚, 当配置为开漏输出时, 在引出脚和 V_{DD} 之间的PMOS管被关闭, 但仍然存在。

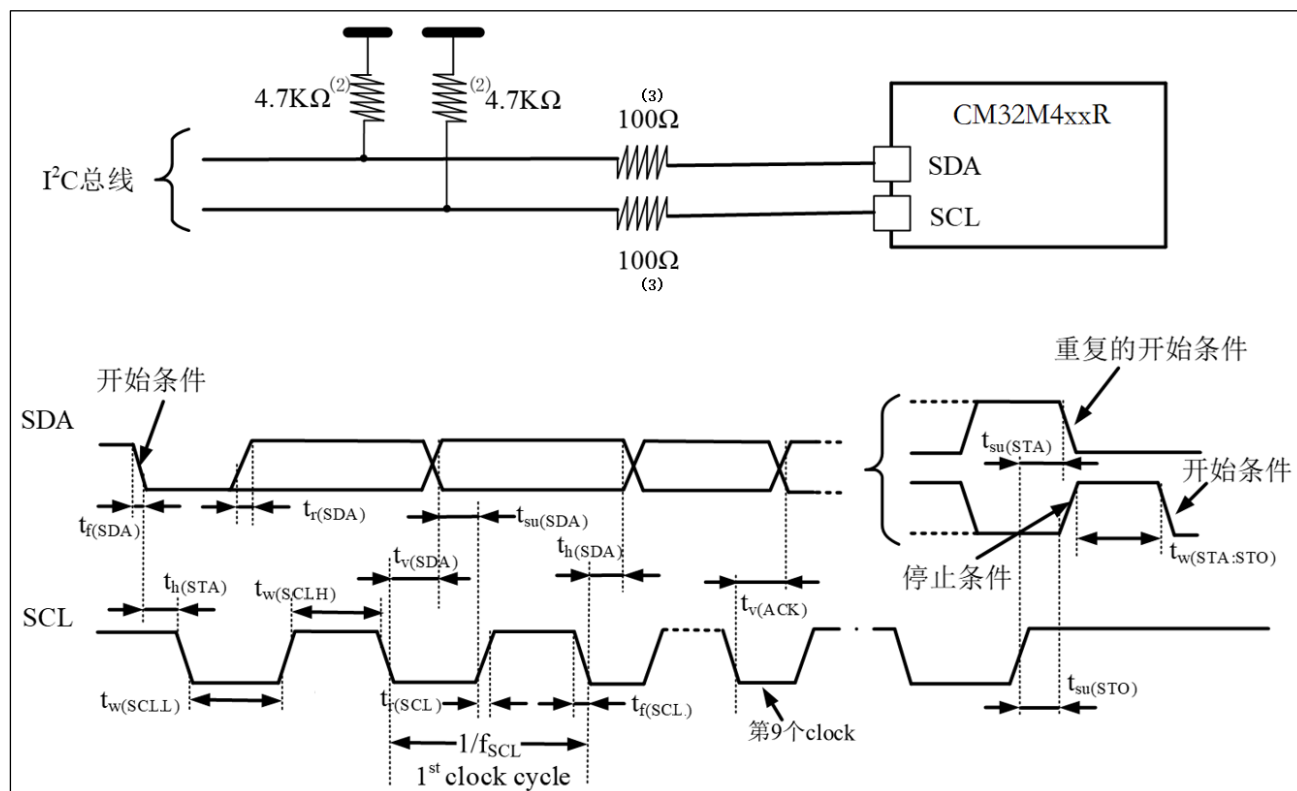
I2C接口特性列于表4-41, 有关输入输出复用功能引脚(SDA和SCL)的特性详情, 参见第4.3.13节。

表4-41 I2C接口特性

符号	参数	标准模式		快速模式		快速+模式		单位
		最小	最大	最小	最大	最小	最大	
f_{SCL}	I2C 接口频率	0.0	100	0	400	0	1000	KHz
$t_{h(STA)}$	开始条件保持时间	4.0	-	0.6	-	0.26	-	μs
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	0.5	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	0.26	-	μs
$t_{h(SDA)}$	SDA 数据保持时间	-	3.4	-	0.9	-	0.4	μs
$t_{su(SDA)}$	SDA 建立时间	250.0	-	100	-	50	-	ns
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA 和 SCL 上升时间	-	1000	20	300	-	120	ns
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA 和 SCL 下降时间	-	300	-	300	-	120	ns
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	0.26	-	μs
$t_{w(STO:STA)}$	停止条件至开始条件的时间 (总线空闲)	4.7	-	1.3	-	0.5	-	μs
C_b	每条总线的容性负载	-	400	-	400	-	550	pf
$t_v(SDA)$	数据有效时间	-	3.45	-	0.9	-	0.45	μs
$t_v(ACK)$	应答有效时间	-	3.45	-	0.9	-	0.45	μs

1. 由设计保证, 不在生产中测试。

- 图4-23 I2C总线交流波形和测量电路
- ⁽¹⁾



1. 测量点设置于CMOS电平：0.3VDD和0.7VDD。
2. 上拉电阻阻值取决于I2C接口速度。
3. 串接电阻阻值取决于实际电气特性，可以不连接串行电阻，信号线直连。

有关输入输出复用功能引脚(SPI的NSS、SCLK、MOSI、MISO, I2S的WS、CLK、SD)的特性详情, 参见第4.3.13节。

表4-42 SPI1特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f _{SCLK} 1/t _c (SCLK)	SPI时钟频率	主模式	-	36	MHz
		从模式	-	36	
t _r (SCLK)t _f (SCLK)	SPI时钟上升和下降时间	负载电容: C = 30pF	-	6	ns
DuCy(SCK)	SPI从输入时钟占空比	SPI从模式	30	70	
t _{su} (NSS) ⁽¹⁾	NSS建立时间	从模式	4t _{pCLK}	-	ns
t _h (NSS) ⁽¹⁾	NSS保持时间	从模式	2t _{pCLK}	-	ns
t _w (SCLKH) ⁽¹⁾ t _w (SCLKL) ⁽¹⁾	SCLK高和低的时间	主模式	t _{pCLK} - 2	t _{pCLK} + 2	ns

$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式	4	-	ns
$t_{su(SI)}^{(1)}$		从模式	4	-	
$t_{h(MI)}^{(1)}$	数据输入保持时间	主模式	5	-	ns
$t_{h(SI)}^{(1)}$		从模式	4	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式	0	$3t_{PCLK}$	ns
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	2	10	ns
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	-	15	ns
$t_{v(MO)}^{(1)}$	数据输出有效时间	主模式(使能边沿之后)	-	8	ns
$t_{h(SO)}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	4	-	ns
$t_{h(MO)}^{(1)}$		主模式(使能边沿之后)	-1	-	

 表4-43 SPI2特性⁽¹⁾

符号	参数	条件		最小值	最大值	单位
f_{SCLK} $1/t_c(SCLK)$	SPI时钟频率	主模式		-	18	MHz
		从模式		-	18	
$t_r(SCLK)t_f(SCLK)$	SPI时钟上升和下降时间	负载电容: C = 30pF		-	8	ns
DuCy(SCK)	SPI从输入时钟占空比	SPI从模式		30	70	%
$t_{su}(NSS)^{(1)}$	NSS建立时间	从模式		$4t_{PCLK}$	-	ns
$t_h(NSS)^{(1)}$	NSS保持时间	从模式		$2t_{PCLK}$	-	ns
$t_w(SCLKH)^{(1)}$ $t_w(SCLKL)^{(1)}$	SCLK高和低的时间	主模式		$t_{PCLK} - 2$	$t_{PCLK} + 2$	ns
$t_{su}(MI)^{(1)}$	数据输入建立时间	主模式	SPI2	5	-	ns
			SPI3	6	-	
$t_{su}(SI)^{(1)}$		从模式	SPI2	5	-	
			SPI3	6	-	
$t_h(MI)^{(1)}$	数据输入保持时间	主模式		4	-	ns
$t_h(SI)^{(1)}$		从模式		3	-	
$t_a(SO)^{(1)(2)}$	数据输出访问时间	从模式		0	$3t_{PCLK}$	ns
$t_{dis}(SO)^{(1)(3)}$	数据输出禁止时间	从模式		2	10	ns
$t_v(SO)^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	SPI2	-	16	n
			SPI3	-	20	
$t_v(MO)^{(1)}$		主模式(使能边沿之后)	SPI2	-	8	
			SPI3	-	10	
$t_h(SO)^{(1)}$	数据输出保持时间	从模式(使能边沿之后)		2	-	ns
$t_h(MO)^{(1)}$		主模式(使能边沿之后)		0	-	

1. 由综合评估得出，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图4-24 SPI时序图 – 从模式和CPHA=0

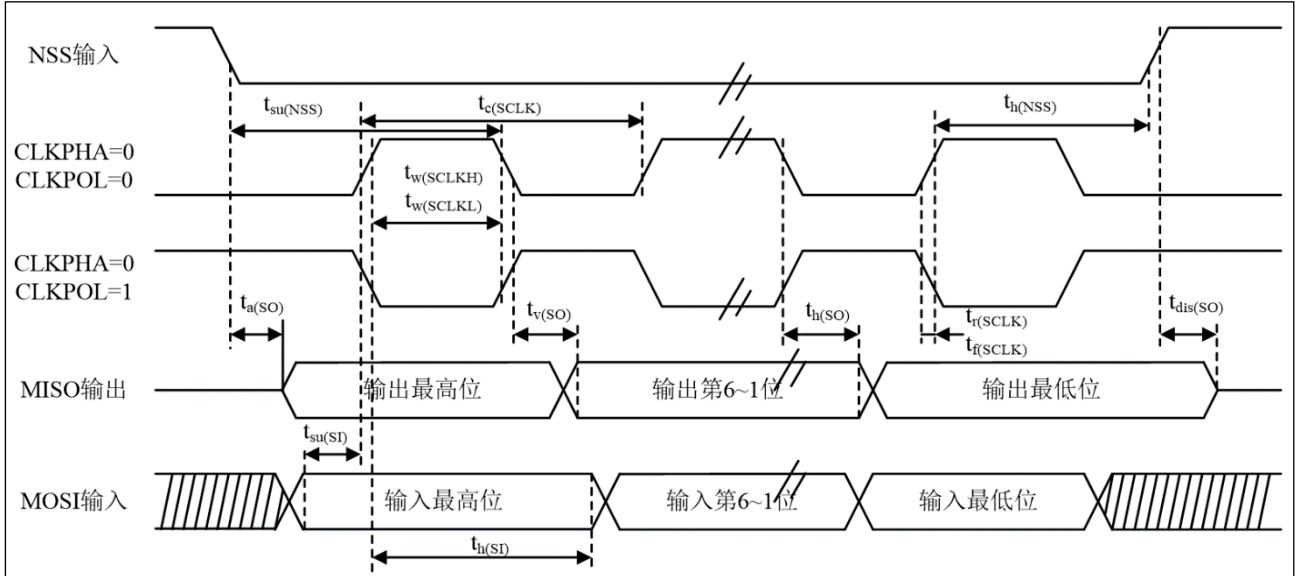
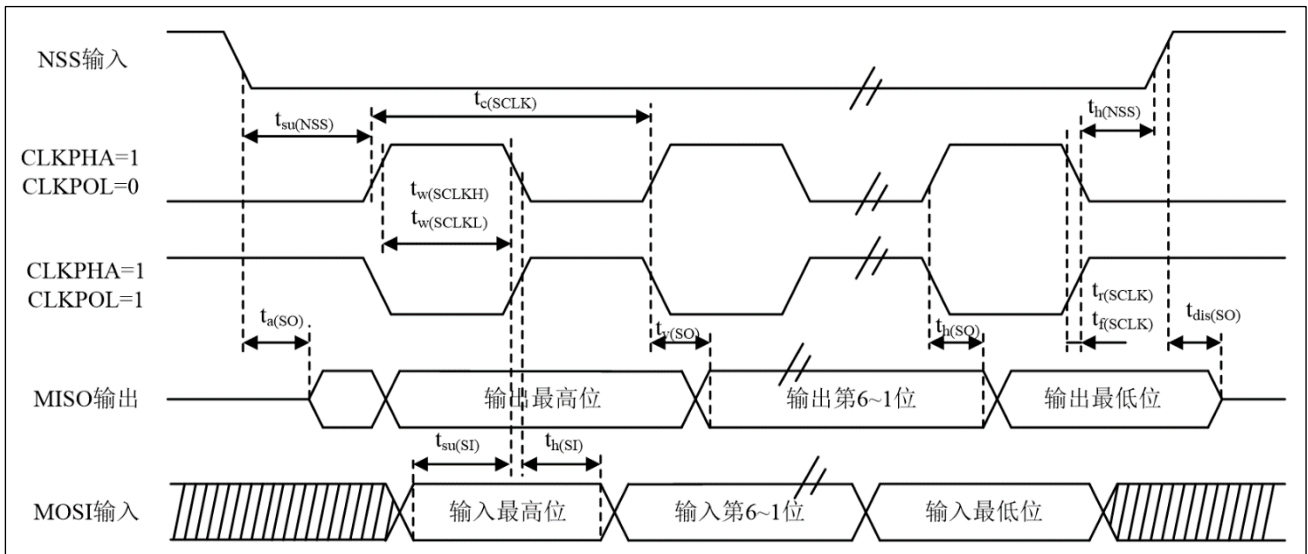
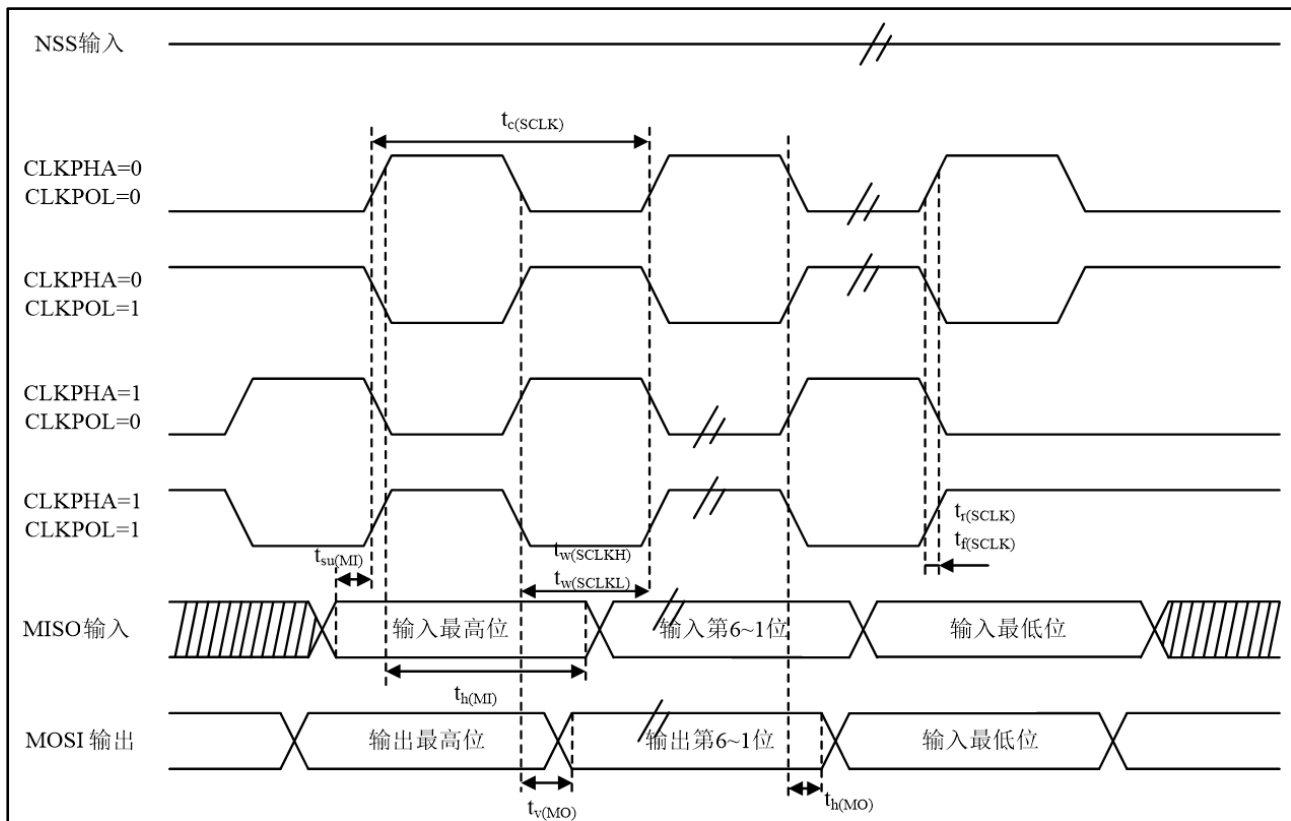


图4-25 SPI时序图 – 从模式和CPHA=1⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

图4-26 SPI时序图 – 主模式⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

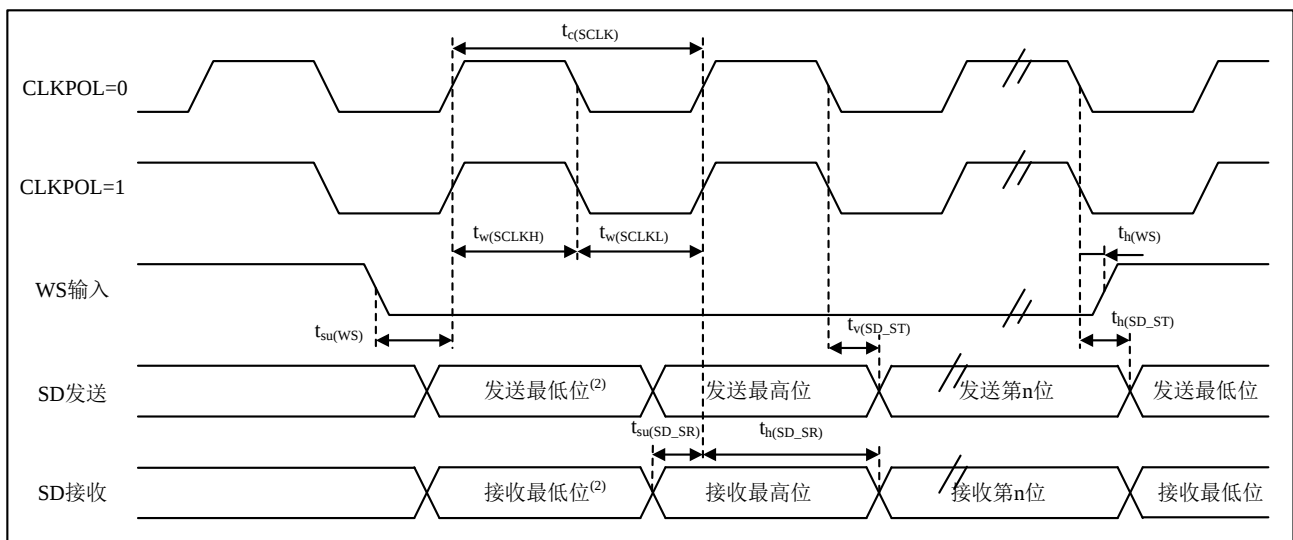
表4-44 I2S特性⁽¹⁾

符号	参数	条件		最小值	最大值	单位
DuCy(SCK)	I2S从输入时钟占空比	I2S从模式		30	70	%
f_{CLK} $1/t_c(CLK)$	I2S时钟频率	主模式		-	$64 \cdot F_s^{(2)}$	MHz
		从模式		-	$64 \cdot F_s^{(2)}$	
$t_r(CLK)$	I2S时钟上升和下降时间	负载电容：CL = 50pF		-	8	ns
$t_{v(WS)}^{(1)}$	WS有效时间	主模式	I2S2	-	5.5	
			I2S3	-	7.5	
$t_{h(WS)}^{(1)}$	WS保持时间	主模式		-1	-	
$t_{su(WS)}^{(1)}$	WS建立时间	从模式	I2S2	6	-	
			I2S3	7.5	-	
$t_{h(WS)}^{(1)}$	WS保持时间	从模式	I2S2	2	-	
			I2S3	3	-	
$t_{w(CLKH)}^{(1)}$	CLK高和低的时间	主模式, (数据32bit, 音频96KHz)		312.5	-	
$t_{w(CLKL)}^{(1)}$				345	-	
$t_{su(SD_MR)}^{(1)}$	数据输入建立时间	主接收器	I2S2	4.5	-	
			I2S3	5.5	-	
$t_{su(SD_SR)}^{(1)}$		从接收器	I2S2	4.5	-	
			I2S3	5.5	-	

$t_{h(SD_MR)}^{(1)}$	数据输入保持时间	主接收器		3	-	
$t_{h(SD_SR)}^{(1)}$		从接收器		3	-	
$t_{v(SD_ST)}^{(1)}$	数据输出有效时间	从发送器(使能边沿之后)	I2S2	-	16	ns
			I2S3	-	18	
$t_{h(SD_ST)}^{(1)}$	数据输出保持时间	从发生器(使能边沿之后)	I2S2	3	-	
			I2S3	4	-	
$t_{v(SD_MT)}^{(1)}$	数据输出有效时间	主发生器(使能边沿之后)		-	8	
$t_{h(SD_MT)}^{(1)}$	数据输出保持时间	主发生器(使能边沿之后)		-1	-	

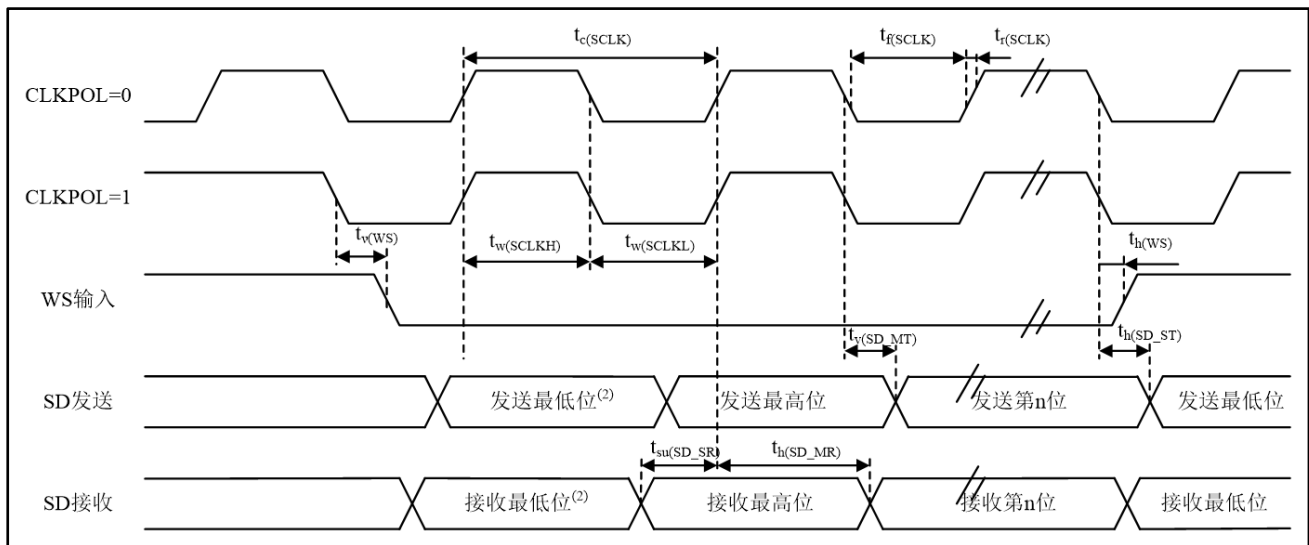
1. 由设计模拟和/或综合评估得出，不在生产中测试。
2. F_s 为音频采样频率。

图4-27 I2S从模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图4-28 I2S主模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

4.3.18 QSPI特性

表4-45 QSPI在SDR模式下的特性

符号	参数	最小值	最大值	单位
f_{CK} $1/t_{(CK)}$	QSPI时钟频率	-	36	MHz
$t_w(CKH)$	SCK高低时间	$t_{(CK)}/2-2$	$t_{(CK)}/2$	ns
$t_w(CKL)$		$t_{(CK)}/2$	$t_{(CK)}/2+2$	ns
$t_s(IN)$	输入数据建立时间	5.5	-	ns
$t_h(IN)$	输入数据保持时间	4.5	-	ns
$t_v(OUT)$	输出数据有效时间	-	6.5	ns
$t_h(OUT)$	输出数据保持时间	-1	-	ns

图4-29 QSPI在SDR模式下的时序

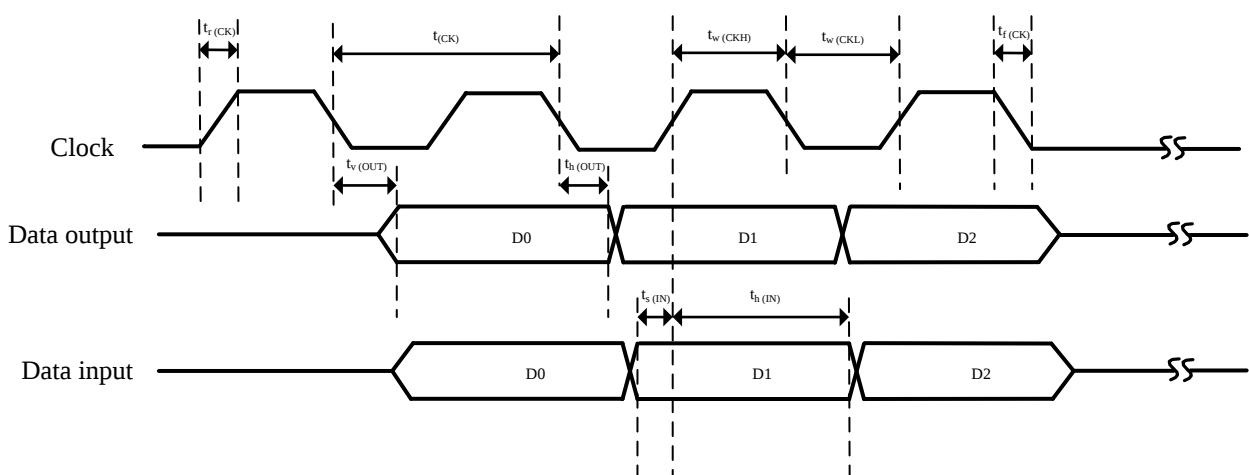
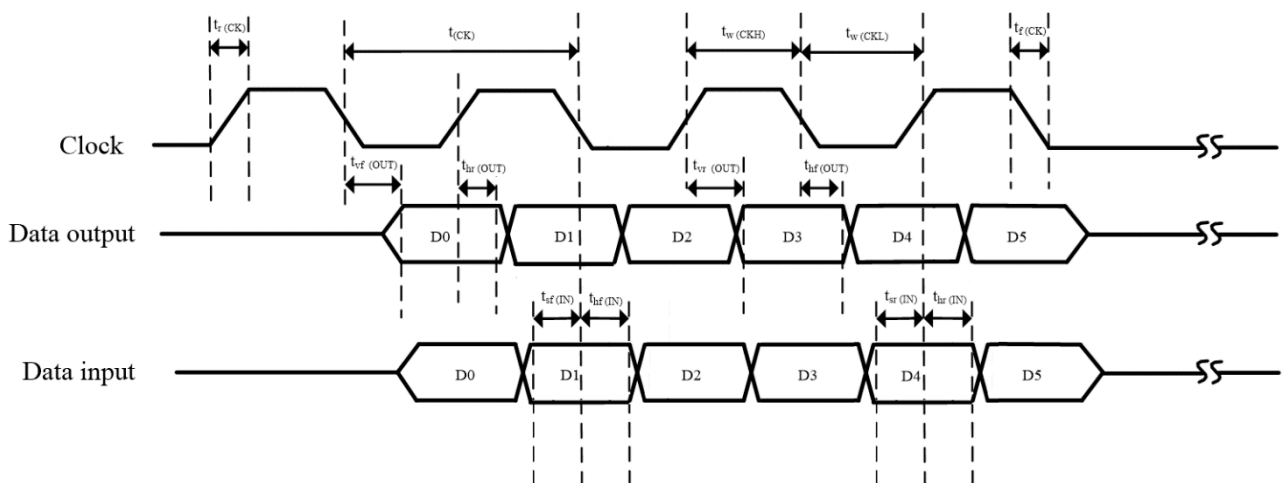


表4-46 QSPI在DDR模式下的特性

符号	参数	最小值	最大值	单位
f_{CK} $1/t_{(CK)}$	QSPI时钟频率	-	36	MHz
$t_w(CKH)$	SCK高低时间	$t_{(CK)}/2-2$	$t_{(CK)}/2$	ns
$t_w(CKL)$		$t_{(CK)}/2$	$t_{(CK)}/2+2$	ns
$t_{sf(IN)}; t_{sr(IN)}$	输入数据建立时间	5.5	-	ns
$t_{hf(IN)}; t_{hr(IN)}$	输入数据保持时间	5.5	-	ns
$t_{vf(OUT)}; t_{vr(OUT)}$	输出数据有效时间	-	13.5	ns
$t_{hf(OUT)}; t_{hr(OUT)}$	输出数据保持时间	5	-	ns

图4-30 QSPI在DDR模式下的时序



4.3.19 控制器局域网(CAN)接口特性

有关输入输出复用功能引脚(CAN_TX和CAN_RX)的特性详情，参见第4.3.13节。

4.3.20 12位模数转换器(ADC)电气参数

除非特别说明，表4-47的参数是使用符合表4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。**注意：**建议在每次上电时执行一次校准。

表4-47 ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		1.8	-	3.6	V
V_{REF+}	正参考电压		1.8	-	V_{DDA}	V
f_{ADC}	ADC时钟频率		-	-	72	MHz
$f_s^{(2)}$	采样速率		-	-	5	MHz
V_{AIN}	转换电压范围 ⁽³⁾		0(V_{SSA} 或 V_{REF-} 连接到地)		V_{REF+}	V
$R_{ADC}^{(2)}$	采样开关电阻		-		0.5	k Ω
$C_{ADC}^{(2)}$	内部采样和保持电容		-	5		pF
SNDR	Signal noise distortion ration		-	65		dBFS
T_{cal}	校准时间		82			$1/f_{ADC}$
$t_s^{(2)}$	采样时间		1.5	-	601.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	上电时间		0	0	20	μs

$t_{\text{CONV}}^{(2)}$	总的转换时间(包括采样时间)		14~614(采样 t_s + 逐步逼近12.5)	$1/f_{\text{ADC}}$
-------------------------	----------------	--	-----------------------------	--------------------

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 依据不同的封装， $V_{\text{REF}+}$ 可以在内部连接到 V_{DDA} ， $V_{\text{REF}-}$ 可以在内部连接到 V_{SSA} 。

表4-48 ADC精度 – 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{\text{HCLK}} = 72 \text{ MHz}$, $f_{\text{ADC}} = 72 \text{ MHz}$, sample rate=1.75M sps, $V_{\text{DDA}} = 3.3\text{V}$, T_A $= 25^\circ\text{C}$ 测量是在ADC校准之后进行的 $V_{\text{REF}+} = V_{\text{DDA}}$	± 1.3	± 5	LSB
EO	偏移误差		± 1	± 2	
ED	微分线性误差		± 0.7	± 1	
EL	积分线性误差		± 0.8	± 2	

1. ADC的直流精度数值是在经过内部校准后测量的。
2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。
3. 如何正向的注入电流，只要处于第4.3.13节中给出的 $I_{\text{INJ(PIN)}}$ 和 $\Sigma I_{\text{INJ(PIN)}}$ 范围之内，就不会影响ADC精度。
4. 由综合评估保证，不在生产中测试。

图4-31 ADC精度特性

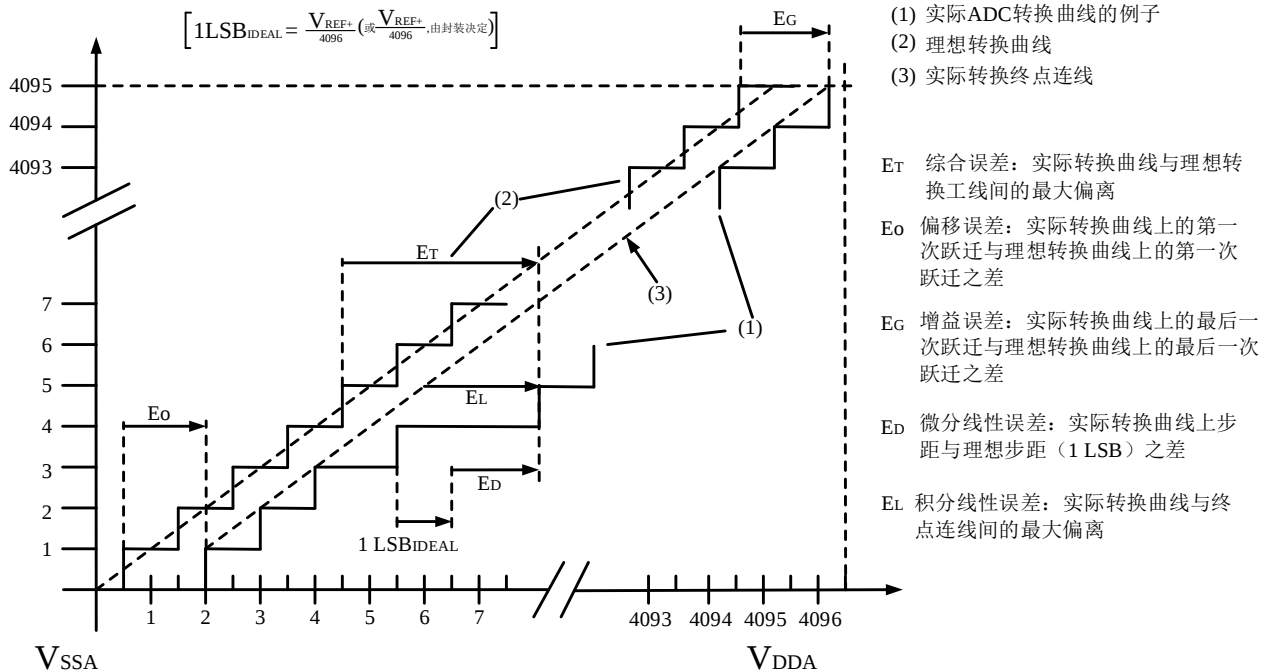
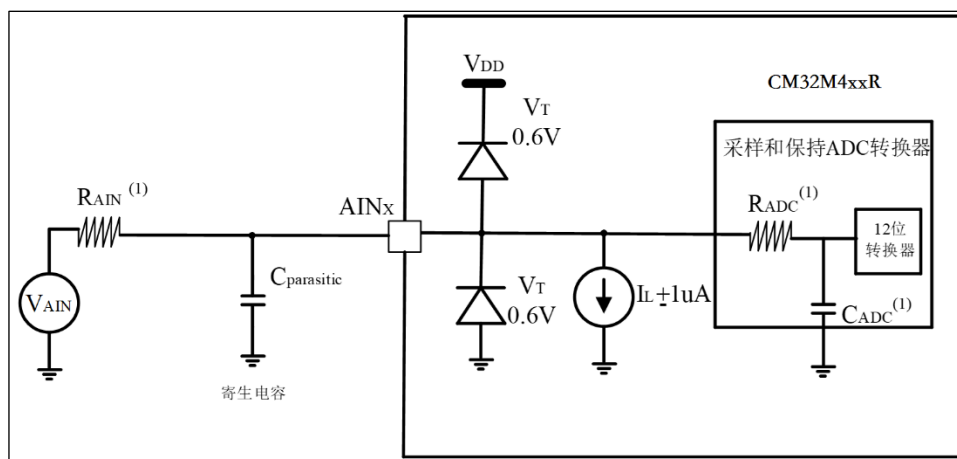


图4-32 使用ADC典型的连接图

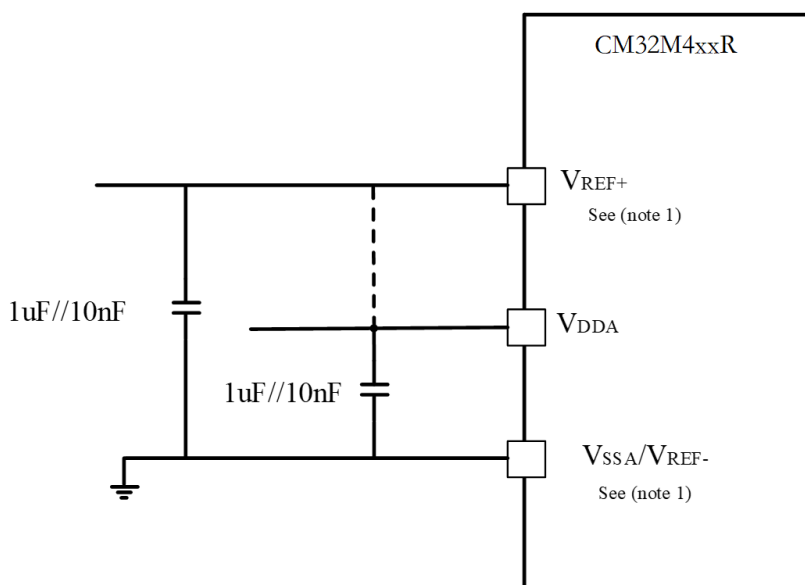


1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表4-47。
2. $C_{parasitic}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB设计建议

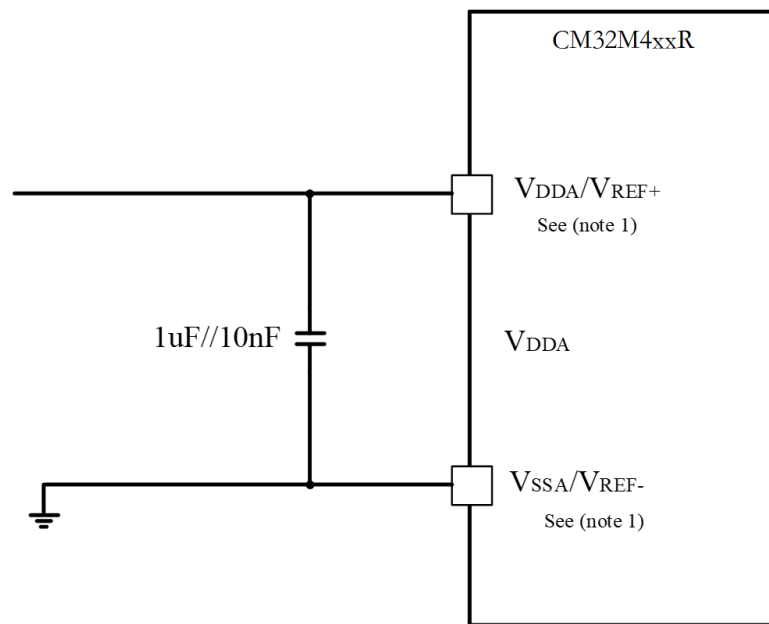
依据 V_{REF+} 是否与 V_{DDA} 相连，电源的去耦必须按照图4-33或图4-34连接。图中的10nF电容必须是瓷介电容(好的质量)，它们应该尽可能地靠近MCU芯片。

图4-33 供电电源和参考电源去耦线路(V_{REF+} 未与 V_{DDA} 相连)



1. V_{REF+} 和 V_{REF-} 输入只出现在100脚以上的产品。

图4-34 供电电源和参考电源去耦线路(V_{REF+} 与 V_{DDA} 相连)



1. V_{REF+} 和 V_{REF-} 输入只出现在100脚以上的产品。

4.3.21 12位数模转换器(DAC)电气参数

除非特别说明，表4-49的参数是使用符合表4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表4-49 DAC特性

符号	参数	最小值	典型值	最大值	单位	注释
V_{DDA}	模拟供电电压	2.4	-	3.6	V	
V_{DDD}	数字供电电压	1.0	1.1	1.2	V	
V_{REF+}	参考电压	2.4	-	3.6	V	V_{REF+} 必须始终低于 V_{DDA}
V_{SSA}	地线	0	-	0	V	
R_L	缓冲器打开时的负载电阻	5	-	-	k Ω	DAC_OUT和 V_{SSA} 之间的最小负载电阻
C_L	负载电容	-	-	50	pF	在DAC_OUT引脚上的最大电容
DAC_OUT 最小	缓冲器打开时低端的DAC_OUT电压	0.2	-	-	V	给出了最大的DAC输出跨度 当 $V_{REF+}=3.6V$ 对应于 12 位输入数值 0x0E0~0xF1C, 当 $V_{REF+}=2.4V$ 对应于 12 位输入数值 0x155~0xEAB。
DAC_OUT 最大	缓冲器打开时高端的DAC_OUT电压	-	-	$V_{REF+} \pm 0.2$	V	
I_{DD}	在静止模式(待机模式)DAC 直流消耗 ($V_{DD18D}+V_{DD33A}+V_{REF+}$)	-	425	600	μA	无负载，输入中值0x800
		-	500	700		无负载，当 $V_{REF+}=3.6V$ 时输入最大值
I_{DDQ}	在断电模式DAC直流消耗 ($V_{DD18D}+V_{DD33A}+V_{REF+}$)	-	5	350	nA	无负载

	在断电模式DAC直流消耗 ($V_{DD33A} + V_{REF+}$)	-	5	200		
DNL	非线性失真(2个连续代码间的偏差)	-	± 0.5	-	LSB	DAC配置为10位(始终是B1=B0=0)
INL	非线性积累(在代码i时测量的数值与代码0和代码1023 之间的连线间的偏差)	-	± 6	-	LSB	DAC配置为10位(始终是B1=B0=0)
偏移	偏移误差(代码0x800时测量的数值与理想数值 $V_{REF+}/2$ 之间的偏差)	-	± 10	-	mV	DAC配置为10位(始终是B1=B0=0)
		-	± 12	-	LSB	$V_{REF+}=3.6V$ 时,DAC配置为10位
增益误差	增益误差	-	± 0.5	-	%	DAC配置为10位(始终是B1=B0=0)
放大器增益	开环时放大器的增益	80	85	-	dB	5k Ω 的负载(最大负载)
$t_{SETTLING}$	设置时间(全范围: 10位输入代码从最小值转变为最大值, DAC_OUT达到其终值的 ± 1 LSB)	-	3	4	μs	$C_{LOAD} \leq 50pF$ $R_{LOAD} \geq 5k\Omega$
更新速率	当输入代码为较小变化时(从数值i变到i+1LSB), 得到正确DAC_OUT的最大频率	-	-	1	MS/s	$C_{LOAD} \leq 50pF$ $R_{LOAD} \geq 5k\Omega$
t_{WAKEUP}	从关闭状态唤醒的时间(PDV18从1变到0)	-	6.5	10	μs	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5k\Omega$ 输入代码介于最小和最大可能数值之间
PSRR+	供电抑制比(相对于 V_{DD33A})(静态直流测量)	-	-67	-40	dB	没有 R_{LOAD} , $C_{LOAD} \leq 50pF$

1. 由综合评估保证, 不在生产中测试。

4.3.22 运算放大器(OPAMP)电气参数

除非特别说明, 表4-50的参数是使用符合表4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表4-50 OPAMP特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-	1.8	-	3.6	V
CMIR	共模电压输入范围	-	0	-	V_{DDA}	V
$V_{IOFFSET}$	输入失调电压	-	-	+/-1	+/-3.5	mV
$\Delta V_{IOFFSET}$	输入失调电压温飘	-	-	10	-	$\mu V/^{\circ}C$
I_{LOAD}	驱动电流	-	-	0.5	-	mA
I_{DDA}	运算放大器电流消耗	No load, quiescent mode	-	-	1.5	mA
TS_OPAMP_VOUT	作为运放输出时的ADC采样时间	-	400	-	-	ns
CMMR	共模抑制比	-	-	84	-	dB
PSRR	电源抑制比	-	-	100	-	dB
GBW	增益带宽	-	-	4	-	MHz
SR	转换速率	-	-	1.5	-	V/us
RLOAD	最小阻抗负载	-	4	-	-	K Ω
CLOAD	最大容抗负载	-	-	-	50	pF

$T_{STARTUP}$	启动建立时间	CLOAD ≤ 50 pf, RLOAD ≥ 4 k Ω , Follower configuration	-	3	5	μs
PGA Gain error	可编程增益误差	Input signal amplitude > 100mV	-2.5	-	+2.5	%
PGA BW	PGA bandwidth for different non inverting gain	PGA Gain = 2, Cload = 50pF, Rload = 4 K Ω	-	2	-	MHz
		PGA Gain = 4, Cload = 50pF, Rload = 5 K Ω	-	1	-	
		PGA Gain = 16, Cload = 50pF, Rload = 6 K Ω	-	0.25	-	
		PGA Gain = 32, Cload = 50pF, Rload = 7 K Ω	-	0.125	-	
en	电压噪声密度	@ 1KHz, Output loaded with 4 K Ω	-	111	-	$nV/\sqrt{Hz}$
		@ 10KHz, Output loaded with 4 K Ω	-	43.9	-	

1. 由设计保证, 不在生产中测试。

4.3.23 比较器(COMP)电气参数

除非特别说明, 表4-51的参数是使用符合表4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表4-51 COMP特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-	1.8	-	3.6	V
V_{IN}	输入电压范围	-	0	-	V_{DDA}	
T_{START}	比较器启动建立时间	$V_{DDA} \geq 2.7V$	-	-	5	μs
		$V_{DDA} < 2.7V$	-	-	7	
t_D	Propagation delay for 200 mV step with 100 mV overdrive	$V_{DDA} \geq 2.7V$	-	50	65	ns
		$V_{DDA} < 2.7V$	-	60	80	
V_{OFFSET}	比较器输入失调误差	Full common mode range	-	± 8	± 20	mV
V_{hys}	比较滞后电压	No hysteresis	-	0	-	mV
		Low hysteresis	-	20	-	
		Medium hysteresis	-	30	-	
		High hysteresis	-	40	-	
I_{DDA}	比较器电流消耗	High speed mode	Static	-	50	μA
		With 50 KHz ± 100 mV overdrive square signal	-	60	-	

1. 由设计保证, 不在生产中测试。

4.3.24 温度传感器(TS)特性

除非特别说明，表4-52的参数是使用符合表4-4的条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表4-52 温度传感器特性

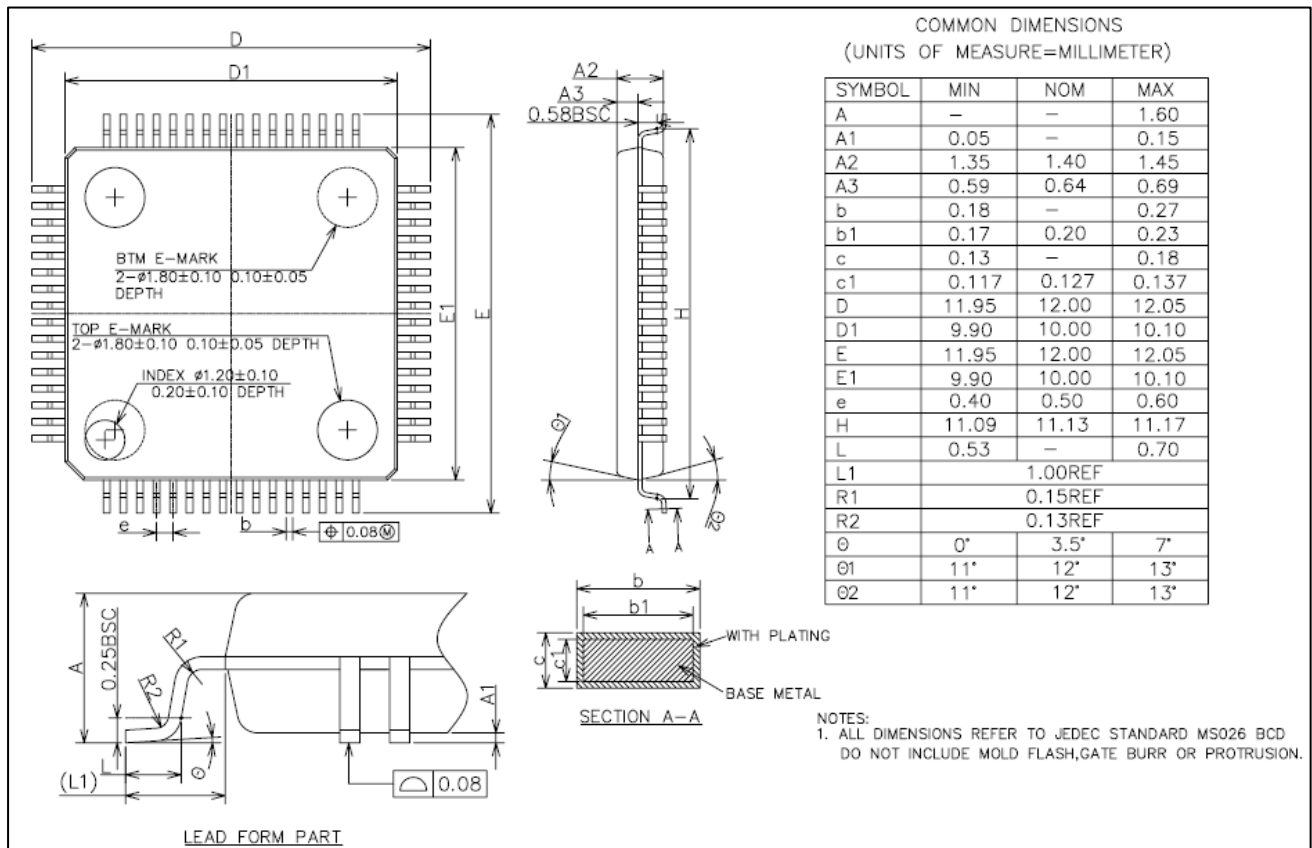
符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 3	$^{\circ}\text{C}$
Avg_Slope ⁽¹⁾	平均斜率	-3.7	-4.0	-4.3	mV/ $^{\circ}\text{C}$
$V_{25}^{(1)}$	在25 $^{\circ}\text{C}$ 时的电压	-	1.32	-	V
$t_{START}^{(1)}$	建立时间	4	-	10	μs
$T_{S_temp}^{(2)(3)}$	当读取温度时，ADC采样时间	8.2	-	17.1	μs

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5 封装尺寸

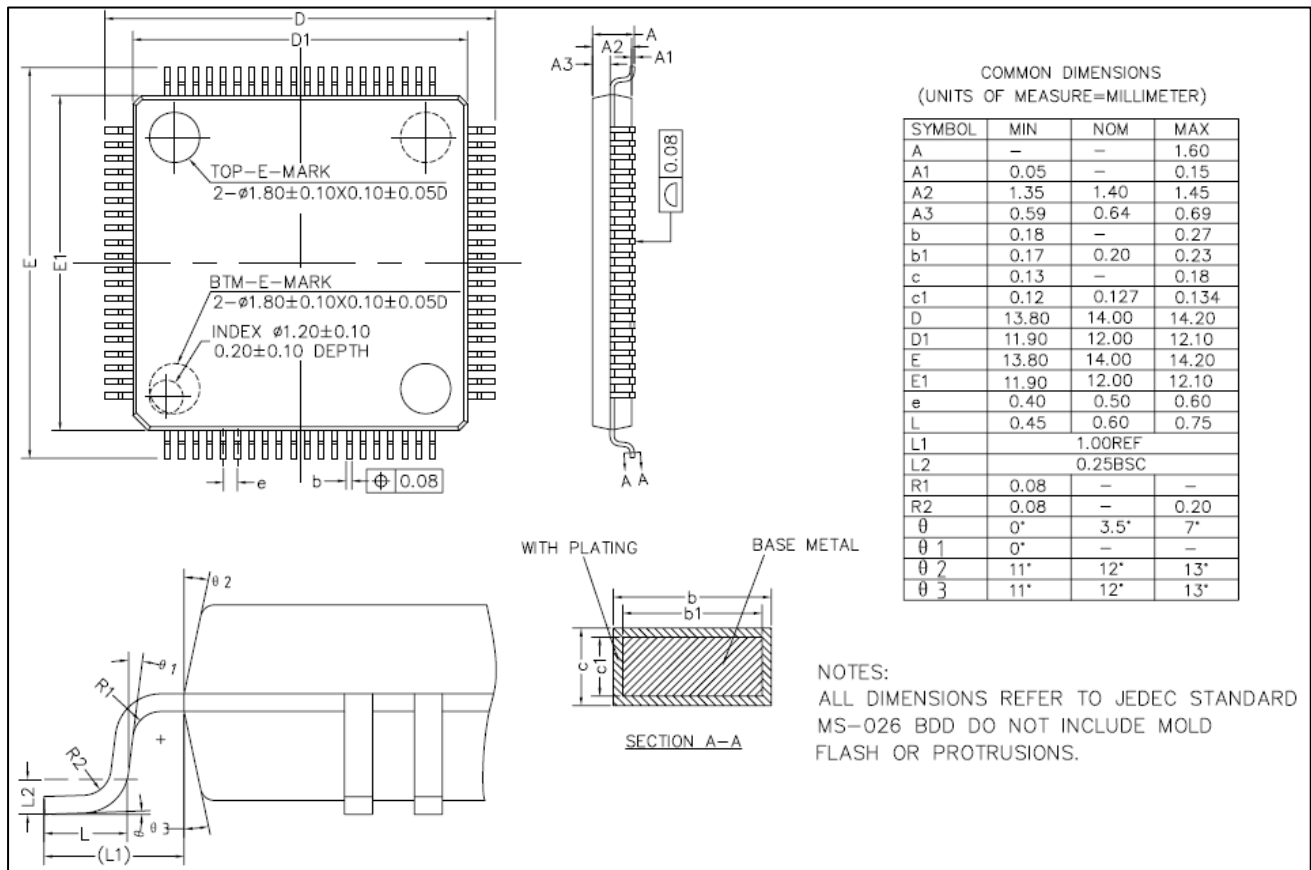
5.1 LQFP64

图5-1 LQFP64封装尺寸



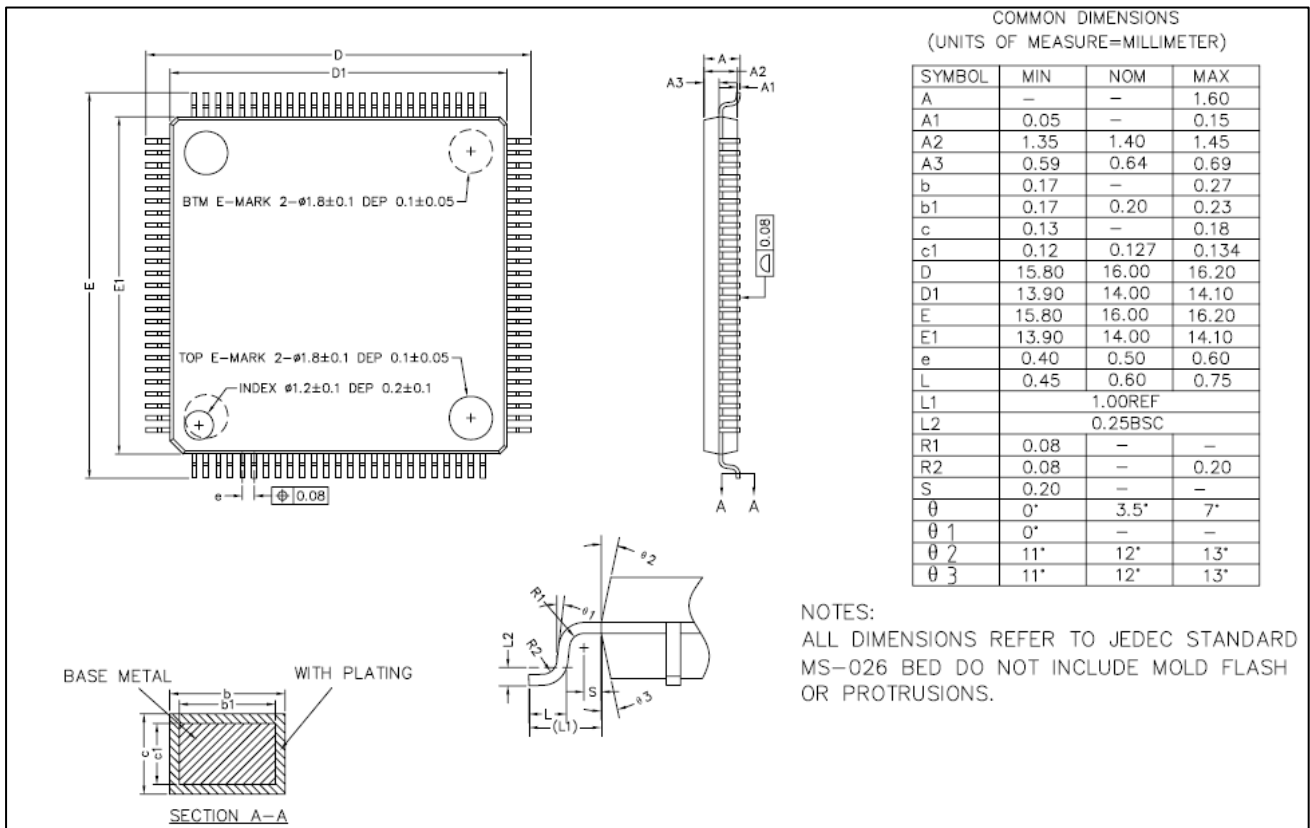
5.2 LQFP80

图5-2 LQFP80封装尺寸



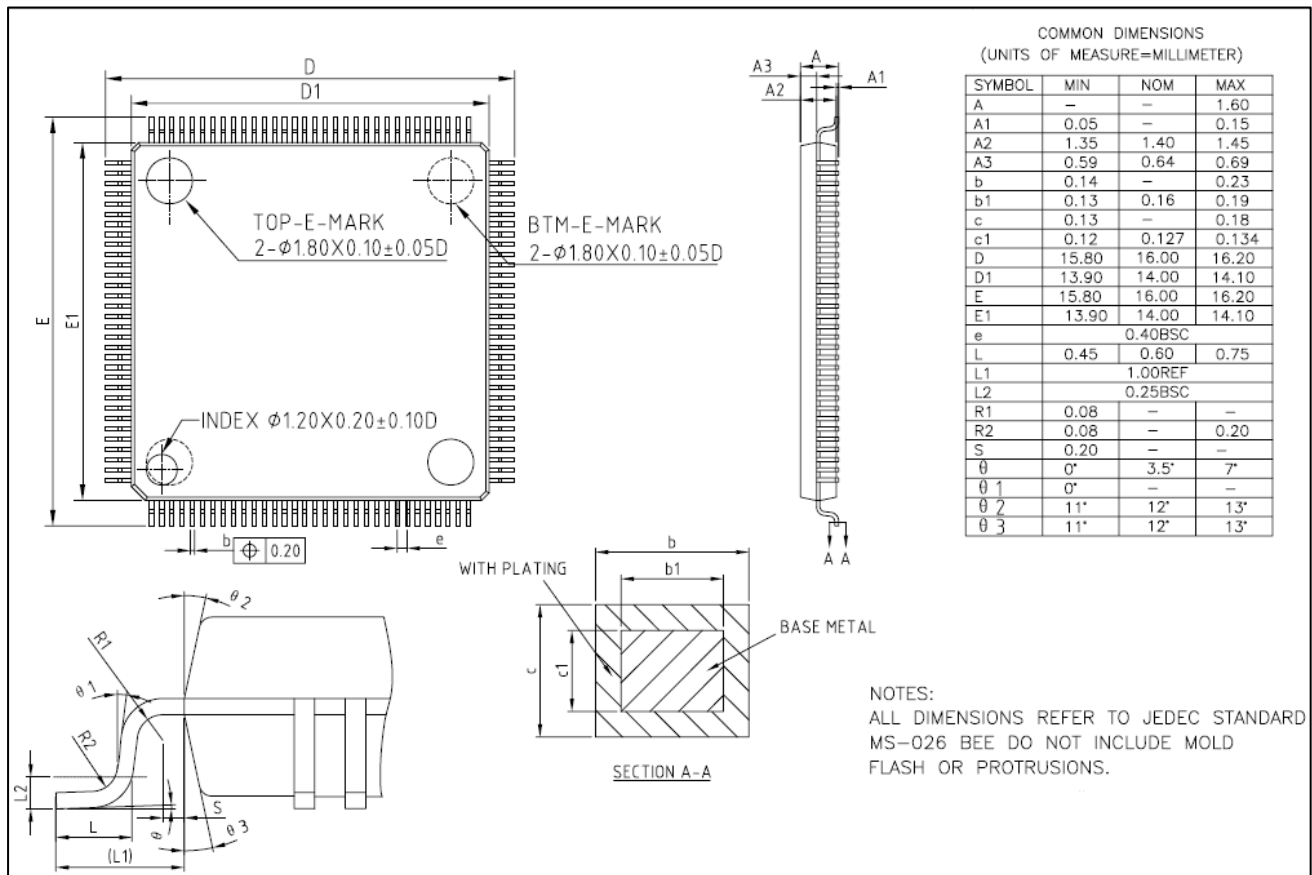
5.3 LQFP100

图5-3 LQFP100封装尺寸



5.4 LQFP128

图5-4 LQFP128封装尺寸



6 文档版本历史

版本	变更日期	变更描述
V1.0	2021.10.26	初始版本

7 声明

中移物联网有限公司（以下简称中移物联）保有在不事先通知而修改这份文档的权利。中移物联认为提供的信息是准确可信的。尽管这样，中移物联对文档中可能出现的错误不承担任何责任。在购买前请联系中移物联获取该器件说明的最新版本。对于使用该器件引起的专利纠纷及第三方侵权中移物联不承担任何责任。另外，中移物联的产品不建议应用于生命相关的设备和系统，在使用该器件中因为设备或系统运转失灵而导致的损失中移物联不承担任何责任。中移物联对本手册拥有版权等知识产权，受法律保护。未经中移物联许可，任何单位及个人不得以任何方式或理由对本手册进行使用、复制、修改、抄录、传播等。